

日本国特許庁
JAPAN PATENT OFFICE

#2

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年12月27日

出願番号
Application Number:

特願2001-397575

[ST.10/C]:

[JP2001-397575]

出願人
Applicant(s):

日本電気株式会社
エヌイーシーマイクロシステム株式会社

REC'D 17 FEB 2003

JPO

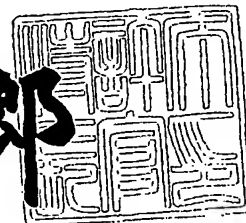
PCT

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2002年12月24日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3101821

【書類名】 特許願

【整理番号】 75010406

【提出日】 平成13年12月27日

【あて先】 特許庁 長官殿

【国際特許分類】 G11C 11/406

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 高橋 弘行

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 廣田 卓哉

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 小松 憲明

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 中川 敦

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 高野 将

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 吉田 昌弘

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 鳥毛 裕二

【発明者】

 【住所又は居所】 神奈川県川崎市中原区小杉町一丁目403番53 エヌ
 イーシーマイクロシステム株式会社内

【氏名】 稲葉 秀雄

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【特許出願人】

【識別番号】 000232036

【氏名又は名称】 エヌイーシーマイクロシステム株式会社

【代理人】

【識別番号】 100105511

【弁理士】

【氏名又は名称】 鈴木 康夫

【選任した代理人】

【識別番号】 100109771

【弁理士】

【氏名又は名称】 臼田 保伸

【手数料の表示】

【予納台帳番号】 055457

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711687

【包括委任状番号】 0115988

【プルーフの要否】 要

【書類名】 明細書
 【発明の名称】 半導体記憶装置
 【特許請求の範囲】

【請求項1】 リフレッシュを必要とするメモリセルで構成されたメモリセルアレイを有し、アクセスアドレスに対して読み出し要求又は書き込み要求が非同期的に与えられる半導体記憶装置において、

前記メモリセルアレイに対するリフレッシュ要求信号を周期的に出力するリフレッシュタイマーと、

前記書き込み要求に対して、当該書き込み要求に対するメモリサイクルよりも前の時点のメモリサイクルで与えられた書き込み要求に対するアクセスアドレス及び書き込みデータをレイトライトで書き込むレイトライト書き込み制御手段と

前記リフレッシュタイマーからのリフレッシュ要求信号を受けて前記メモリセルアレイに対するリフレッシュを実行するとともに、前記リフレッシュ要求信号が前記読み出し要求又は前記書き込み要求と衝突したとき、前記リフレッシュの実行を該衝突した読み出し要求又は書き込み要求に対するメモリセルの読み出し動作又はレイトライト書き込み動作が終了するまで遅延させるリフレッシュ制御手段と、

を具備することを特徴とする半導体記憶装置。

【請求項2】 前記リフレッシュタイマーは、そのリフレッシュ要求トリガを発生するタイマー周期として、アクティブモード時のタイマー周期を、リフレッシュ動作を伴うスタンバイモード時のタイマー周期よりも短く設定するタイマー周期切り換え機能を有していることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記リフレッシュ制御手段は、

メモリアクセス用のイネーブル信号と、メモリアクセスアドレスを格納するレイトライトレジスタからのアドレス変化検出信号と、前記リフレッシュタイマーからのリフレッシュ要求トリガとを入力して、メモリアクセスアドレスのラッチ動作を制御するラッチコントロール信号と、リフレッシュアドレスカウントアッ

プ信号と、ロウイネーブルノーマル信号及びロウイネーブルリフレッシュ信号とを出力するとともに、前記ラッチコントロール信号を出力中に前記リフレッシュタイマーからのリフレッシュ要求信号が入力されたとき前記ラッチコントロール信号が立ち下がるまで前記ロウイネーブルリフレッシュ信号の出力を遅延させる手段を有するリフレッシュコントロールパルス発生回路と、

前記リフレッシュコントロールパルス発生回路から出力されたリフレッシュアドレスカウンタアップ信号を入力して、リフレッシュアドレスをカウンタアップするリフレッシュアドレスカウンタと、

前記メモリアクセスアドレスのうちのロウアドレス（Xアドレス）と前記リフレッシュアドレスカウンタから出力されるリフレッシュアドレスを入力し、いずれか一方をXアドレスとしてXデコーダへ切り換えて出力するマルチプレクサと

前記リフレッシュコントロールパルス発生回路から出力されたロウイネーブルノーマル信号およびロウイネーブルリフレッシュ信号を入力し、前記マルチプレクサから出力されるXアドレスの切り換えを制御するノーマルアドレス転送制御信号およびリフレッシュアドレス転送制御信号を前記マルチプレクサへ出力するMUXコントロール回路と、

前記リフレッシュコントロールパルス発生回路から出力されたロウイネーブルノーマル信号およびロウイネーブルリフレッシュ信号により、前記メモリのセンスアンプ／プリチャージ回路を制御するセンスイネーブル／プリチャージイネーブルコントロール回路と、

を具備していることを特徴とする請求項1または2に記載の半導体記憶装置。

【請求項4】 リフレッシュを必要とするメモリセルで構成されたメモリセルアレイを有する半導体記憶装置において、

前記メモリセルに対する読み出し要求又は書き込み要求とは独立にリフレッシュ要求を発生するリフレッシュ要求発生手段と、

前記リフレッシュ要求発生手段からのリフレッシュ要求が、前記読み出し要求又は書き込み要求と衝突したとき、前記リフレッシュの実行を前記読み出し要求又は書き込み要求に対する前記メモリセルの読み出し動作又は書き込み動作が終

了するまで遅延させるリフレッシュ制御手段を具備することを特徴とする半導体記憶装置。

【請求項5】 前記書き込み動作を実行する書き込み手段は、前記書き込み要求に対するメモリサイクルよりも前の時点のメモリサイクルで与えられた書き込み要求に対するアクセスアドレスおよび書き込みデータを書き込むレイトライト書き込み手段であることを特徴とする請求項4記載の半導体記憶装置。

【請求項6】 今回の書き込み要求アドレスを格納するアドレス格納手段と、読み出し要求アドレスと前回の書き込み要求時に前記アドレス格納手段に格納した書き込みアドレスとを比較して、一致しているときアドレスヒット信号を出力するアドレスヒット制御手段を具備することを特徴とする請求項5記載の半導体記憶装置。

【請求項7】 ページモード機能を有し、ページアドレスと前記ページアドレス以外のアドレスとのそれぞれに対して、前記アドレス格納手段と前記アドレスヒット制御手段とを具備することを特徴とする請求項6記載の半導体記憶装置。

【請求項8】 前記ページアドレスのアドレスヒット信号と前記ページアドレス以外のアドレスヒット信号との論理信号を出力するページモード用アドレスヒット制御手段を具備することを特徴とする請求項7記載の半導体記憶装置。

【請求項9】 前記リフレッシュ制御手段は、
アドレスの変化にตอบสนองして、一方の論理レベルを有するワンショット信号を発生するワンショットパルス発生回路と、
前記ワンショットパルスの前記一方の論理レベルを保持するラッチ回路と、
前記ラッチ回路の出力を所定時間だけ遅延する遅延回路と、
前記リフレッシュ要求にตอบสนองしてリフレッシュ要求信号を発生するリフレッシュ要求発生回路と、

前記ラッチ回路の出力信号と前記リフレッシュ要求信号とにตอบสนองしてリフレッシュ動作のタイミング制御信号を発生するリフレッシュパルス発生回路と、

前記ラッチ回路の出力信号と前記遅延回路の出力信号とに基づいて前記読み出し動作または書き込み動作のタイミング制御信号とラッチコントロール信号とを

発生するメモリアクセス用パルス発生回路と、

を具備することを特徴とする請求項4記載の半導体記憶装置。

【請求項10】 前記所定時間は、リフレッシュ動作時間に基づいて設定されることを特徴とする請求項9記載の半導体記憶装置。

【請求項11】 前記ラッチ回路は、前記ラッチコントロール信号に応答して他方の論理レベルにリセットされることを特徴とする請求項9記載の半導体記憶装置。

【請求項12】 前記ラッチ回路の出力信号が前記一方の論理レベルにあるときは、前記リフレッシュ動作が禁止され、前記読み出し要求アドレスあるいは書き込み要求アドレスへのアクセスが行われることを特徴とする請求項9記載の半導体記憶装置。

【請求項13】 前記ラッチ回路の出力信号が前記他方の論理レベルにあるときは、前記リフレッシュ要求に基づくリフレッシュ動作が行われることを特徴とする請求項11記載の半導体記憶装置。

【請求項14】 前記リフレッシュ要求は、前記読み出し要求または書き込み要求とは独立に動作するリフレッシュタイマーから発生されることを特徴とする請求項9記載の半導体記憶装置。

【請求項15】 前記読み出し要求または書き込み要求を入力するイネーブル信号の前記一方の論理レベルを保持するその他のラッチ回路と、

前記ラッチ回路の出力信号と前記その他のラッチ回路の出力信号とを入力とする論理回路と、

を備え、

前記リフレッシュパルス発生回路は、前記論理回路の出力信号と前記リフレッシュ要求信号とに応答してリフレッシュ動作のタイミング制御信号を発生し、

前記メモリアクセス用パルス発生回路は、前記論理回路の出力信号と前記遅延回路の出力信号とに基づいて前記読み出し動作または書き込み動作のタイミング制御信号とラッチコントロール信号とを発生することを特徴とする請求項9記載の半導体記憶装置。

【請求項16】 前記その他のラッチ回路は、前記ラッチコントロール信号

に応答して他方の論理レベルにリセットされることを特徴とする請求項 1 5 記載の半導体記憶装置。

【請求項 1 7】 前記ラッチ回路の出力信号と前記その他のラッチ回路の出力信号とのいずれかあるいは両方が前記一方の論理レベルにあるときは、前記リフレッシュ動作が禁止され、前記読み出し要求アドレスあるいは書き込み要求アドレスへのアクセスが行われることを特徴とする請求項 1 5 記載の半導体記憶装置。

【請求項 1 8】 前記ラッチ回路の出力信号と前記その他のラッチ回路の出力信号の両方が前記他方の論理レベルにあるときは、前記リフレッシュ要求に基づくリフレッシュ動作が行われることを特徴とする請求項 1 5 記載の半導体記憶装置。

【請求項 1 9】 読み出し要求または書き込み要求と、前記読み出し要求または書き込み要求とは独立に発生されるリフレッシュ要求とが衝突した時、前記リフレッシュの実行を前記読み出し要求または書き込み要求に対するメモリセルの読み出し動作または書き込み動作が終了するまで遅延させることを特徴とする、リフレッシュを必要とするメモリセルで構成された半導体記憶装置のリフレッシュ制御方法。

【請求項 2 0】 前記書き込み動作は、前記書き込み要求に対するメモリサイクルよりも前の時点のメモリサイクルで与えられた書き込み要求に対するアクセスアドレスおよび書き込みデータを書き込むレイトライトで行われることを特徴とする請求項 1 9 記載のリフレッシュ制御方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、メモリセルアレイが D R A M で構成され、かつ、半導体記憶装置の外部から見たときに汎用の S R A M と同様の仕様で動作するように構成した半導体記憶装置に関する。

【0 0 0 2】

【従来の技術】

【0003】

ランダムアクセス可能な半導体記憶装置の代表的なものとしてSRAMおよびDRAMがある。SRAMはDRAMと比較して読み出し・書き込み動作が高速であり、またDRAMのようにリフレッシュ動作が不要であることから、その取り扱いが容易であるとともにスタンバイ状態におけるデータ保持電流が小さいという長所がある反面、SRAMを構成するには1メモリセル当たり6個のトランジスタを必要とするため、DRAMよりもチップサイズが大きくなり価格も高くなるという問題がある。

【0004】

これに対して、DRAMのメモリセルはキャパシタ1個とトランジスタ1個で構成可能であるため、小さなチップサイズで大容量のメモリを構成することができ、また、同じ記憶容量の半導体記憶装置を構成するのであればSRAMよりもDRAMの方が安価になる。しかしながら、DRAMは、アドレスとして行アドレスおよび列アドレスを分けて別々に与え、これらアドレスの取り込みタイミングを規定する信号としてRAS（行アドレスストロープ）信号およびCAS（列アドレスストロープ）信号を必要とすること、定期的にメモリセルをリフレッシュするための制御回路が必要になることから、SRAMに比べてタイミング制御が複雑になり、また消費電流が大きくなってしまいうという問題がある。

【0005】

ところで、携帯電話機などに代表される携帯型電子機器に採用されている半導体記憶装置は現状ではSRAMが主流である。これは、SRAMはスタンバイ電流が小さく低消費電力であるため、連続通話時間・連続待ち受け時間をできるだけ延ばしたい携帯電話機に向いており、またこれまでの携帯電話機には簡単な機能しか搭載されていなかったためにそれほど大容量の半導体記憶装置を必要としなかったこと、タイミング制御などの点でSRAMは扱いが容易であることなどがその理由である。

【0006】

一方、最近の携帯電話機は、電子メールの送受信機能や、インターネット上のWEBサーバにアクセスしてホームページの内容を簡略化して表示するような機

能も搭載されており、将来的には現在のパソコン等と同様にインターネット上のホームページ等へ自由にアクセスできるようになることも想定される。このような機能を実現するためには、多様なマルチメディア情報をユーザへ提供するためのグラフィック表示が不可欠となり、公衆網などから受信した大量のデータを携帯電話機内に一時的に蓄えておくために大容量の半導体記憶装置を備える必要性が生じてくる。

【0007】

他方で、携帯型電子機器は小型、軽量、かつ低消費電力という要請があるため、半導体記憶装置を大容量化しても機器そのものの大型化、重量化および消費電力の増加は避けねばならない。従って、携帯型電子機器に搭載される半導体記憶装置としては、扱いの簡便さや消費電力を考えるとSRAMが好ましいが、大容量の観点からはDRAMが好ましいことになる。つまり、これからの携帯型電子機器にはSRAMおよびDRAMの長所をそれぞれ取り入れた半導体記憶装置が最適であるといえる。

【0008】

このような半導体記憶装置として、DRAMに採用されているものと同じメモリセルを使用しながら、外部から見たときにSRAMとほぼ同様の仕様を持った「疑似SRAM」と呼ばれるものが提案されている（例えば、特開昭61-5495号公報、特開昭62-188096号公報、特開昭63-206994号公報、特開平4-243087号公報あるいは特開平6-36557平号公報等）。

【0009】

しかしながらこの疑似SRAMは、メモリセルそのものはDRAMと同じであるから、メモリセルに記憶されているデータを保持するためには常にリフレッシュ動作を行う必要がある。そのため、例えば上記特開平4-243087号公報あるいは特開昭63-206994号公報に記載された疑似SRAMでは、外部から読み出しあるいは書き込み要求があった場合、先ず初めにリフレッシュを実施してから当該読み出し要求あるいは書き込み要求に対応したメモリセルの読み出しあるいは書き込みを行っている。従って、メモリセルの読み出し動作あるい

は書き込み動作のタイミングがリフレッシュ動作に必要な時間だけ遅れてしまうという問題がある。

【0010】

また、上記特開昭61-5495号公報、特開昭62-188096号公報あるいは特開平6-36557号公報に記載された疑似SRAMでは、内部にリフレッシュ用のタイマーを備え、所定のリフレッシュ時間が経過した時点でリフレッシュスタート要求を発生させて、読み出しが完了した後にリフレッシュを行うようにしており、読み出し動作に関しては上記のような時間遅れは生じないが、書き込みタイミングを決定する書込イネーブル信号がどのようなタイミングで与えられるのかについての記載はなく、書き込み動作の場合には次のような問題を生じる可能性がある。

【0011】

すなわち、疑似SRAMを汎用SRAMと同じ仕様で動作させようとした場合、書き込みイネーブル信号や書き込みデータはアドレスの変化に対して非同期に与えられることになるため、書き込みアドレスが確定していても書き込みイネーブル信号及び書き込みデータがともに確定するまでは、実際にメモリへの書き込み動作を開始させることができない。つまり、書き込みイネーブル信号と書き込みデータが確定するまでは何の動作も行われないう空き時間となってしまう、これらが確定して初めて書き込みおよびリフレッシュが順次行われることになる。このため、上記リフレッシュを実施してから書き込みを行う構成と比べた場合、空き時間の分だけメモリサイクルが長くなってしまうという欠点がある。

【0012】

このようなリフレッシュによって通常の読み出し・書き込みアクセスが遅くなるという問題を解消するという観点から、出願人は、リフレッシュを必要とするメモリセルで構成されたメモリセルアレイを有し、アクセスアドレスに対して書き込み要求及び書き込みデータが非同期的に与えられる半導体記憶装置において、アクセスアドレスに対する読み出し又は書き込みを行った後に、リフレッシュ動作を行うとともに、前記書き込み要求が与えられたメモリサイクルよりも後の時点において、該メモリサイクルで与えられた前記アクセスアドレス及び前記書

き込みデータを用いた書き込みをレイトライト (Late Write) で行うようにした半導体記憶装置を、特願2001-105837号において提案している。

【0013】

図16は上記特願2001-105837号において提案されている半導体記憶装置の例を示すブロック図であり、図17は該半導体記憶装置のレイトライト動作及びリフレッシュ動作を示すタイミングチャートである。

【0014】

図において、アドレスAddは半導体記憶装置外部から供給されるアクセスアドレスである。メモリセルアレイ107が行列状に配列されていることに対応して、アドレスAddは行アドレスおよび列アドレスを含んでいる。アドレスバッファ101はこのアドレスAddをバッファリングして出力する。ラッチ102は、ラッチコントロール信号LCが“L”レベルである間（ラッチコントロール信号LCが立ち下がったときから次に立ち上がるまでの間）はアドレスバッファ101から供給されているアドレスをそのまま内部アドレスLC-ADDとして出力する。また、ラッチ102はアドレスバッファ101から供給されているアドレスをラッチコントロール信号LCの立ち上がりで取り込んでラッチコントロール信号LCが“H”レベルである間これを保持するとともに、保持しているアドレスを内部アドレスLC-ADDとして出力する。

【0015】

R/W制御回路114からレジスタ回路103および112に供給される制御信号LW1およびLW2は何れも前記のレイトライト動作を制御するための信号である。これら制御信号は何れもレイトライトを行う場合に“H”レベルに設定され、そうでない場合には“L”レベルに設定される。レジスタ回路103はアドレスAddのビット幅に等しいアクセスアドレスを保持するためのレジスタ（以下、アドレスレジスタ）を内蔵している。従って、制御信号LW1が“L”レベルであれば、レジスタ回路103は入力された内部アドレスLC-ADDをそのまま内部アドレスL-ADDとして出力する。一方、制御信号LW1が“H”レベルであれば、レジスタ回路103は内部アドレスLC-ADDではなくアドレスレジスタに保持されているアドレスを内部アドレスL-ADDとして出力する。

【 0 0 1 6 】

また、レジスタ回路 1 0 3 は制御信号 LW1 の立ち下がりエッジにおいて、次のレイトライトのために内部アドレス LC-ADD を内部のレジスタに取り込む。さらに、レジスタ回路 1 0 3 は入力された内部アドレス LC-ADD とアドレスレジスタが保持するアドレスをビット毎に比較するコンパレータを備えており、このコンパレータは両者の全ビットが一致した場合にはヒット信号 HIT として “H” レベルを出力し、何れか 1 ビットでも不一致であれば “L” レベルを出力する。このヒット信号 HIT は半導体記憶装置外部から見たデータコヒーレンシ (Coherency) を保つためのバイパス動作に用いられる。

【 0 0 1 7 】

この半導体記憶装置で採用されているレイトライトでは、書き込み要求があったメモリサイクルよりも後のメモリサイクルで実際にメモリセルへの書き込みが行われる。つまり、書き込み要求のあったメモリサイクルでは、書き込みアドレス及び書き込みデータを一旦レジスタ回路 1 0 3 のアドレスレジスタ及びレジスタ回路 1 1 2 のデータレジスタに取り込んでおく。そして、次に書き込みの要求が入力されたメモリサイクルで取り込んでおいたアドレス及びデータをもとにメモリセルアレイ 1 0 7 へ書き込みを行う。従って、現実にはメモリセルアレイ 1 0 7 へ書き込みが行われるまでの間に、書き込み要求のあったアドレスに対して読み出し要求があった場合、この時点ではデータが未だメモリセルアレイ 1 0 7 には書かれておらずレジスタ回路 1 1 2 にのみ存在する。

【 0 0 1 8 】

このため、メモリセルアレイ 1 0 7 から読み出しを行ってしまうと、書き込み前の古いデータを半導体記憶装置外部へ出力してしまうことになる。そこでこのような場合には、メモリセルアレイ 1 0 7 をバイパスしてレジスタ回路 1 1 2 に格納されているデータを出力する。このような状況を検出するために、内部アドレス LC-ADD とレジスタ回路 1 0 3 内のアドレスレジスタを照合して、未だメモリセルアレイ 1 0 7 に書き込まれていないアドレスに対して外部から読み出し要求が入力されたことを上記レジスタ回路 1 0 3 内のコンパレータにより検出する。A T D (Address Transition Detector ; アドレス変化検出) 回路 1 0 4 は、チ

チップセレクト信号/CS（記号“/”は負論理を意味している）が有効（“L”レベル）である場合に、内部アドレスLC-ADDが変化しているかどうかを検出する。

【0019】

そして内部アドレスLC-ADDの何れか1ビットにでも変化が認められる場合、ATD回路104はこの変化を検出した時点からアドレススキュー期間に相当する時間が経過したのちに、アドレス変化検出信号ATDとして正のワンショットパルスが発生させる。チップセレクト信号/CSは当該半導体記憶装置がアクセスされる場合に有効化される選択信号である。ATD回路104内部では、アドレスの各ビットが変化するかあるいはチップセレクト信号/CSが有効となった場合にそれぞれパルスが発生させ、これらパルスを合成することでワンショットパルスを生成する。このため、アドレスAddにスキューがあっても複数個のアドレス変化検出信号が生成されてしまう恐れはない。それ故、複数のメモリセルに対して書き込みが行われ、あるいは複数のメモリセルからの読み出しが同時に行われてしまってもメモリセルのデータが破壊されてしまうといった状態は生じない。

【0020】

また、スキューが大きい場合にはアドレススキュー期間も長くなって、それだけアドレス変化検出信号ATDとしてワンショットパルスが発生するのが遅れ、アクセスタイムが大きくなるが、汎用SRAMの仕様上、アクセスタイムはアドレスAddが確定した時点基準とした値になっているので、アドレスAddの各ビットのうち最後に変化したビットからのアクセスタイムが保証されていれば良く、アドレススキュー期間経過後にアクセスを開始するようにしても動作遅れとはならない。アドレス変化検出信号ATDのワンショットパルスが立ち上がった時点からアドレスAddに対する読み出しまたは書き込みが開始され、その後にワンショットパルスが立ち下がった時点からリフレッシュが開始される。このため、アドレス変化検出信号ATDのワンショットパルスのパルス幅は読み出し又は書き込みを完了させるのに必要な時間以上に設定される。

【0021】

また、アドレススキュー期間の長さは、アドレスAddの各ビットおよびチップセレクト信号/SCの間に存在するスキューの最大値と一致させるか、あるいは余

裕を見込んでこのスキューの最大値よりも若干大きな値に設定される。スキューは上述したような理由から生じるため、スキューの最大値は半導体記憶装置が適用されるシステム全体の特性に基づいて予め試算して決定される。リフレッシュ制御回路105はアドレスカウンタ（リフレッシュカウンタ）及びリフレッシュタイマーを内蔵している。リフレッシュ制御回路105はこれらとアドレス変化検出信号ATD、書き込みイネーブル信号/WEを利用して半導体記憶装置内部のリフレッシュを制御することにより、リフレッシュアドレス及びリフレッシュタイミングを半導体記憶装置内部で自動的に発生させ、汎用DRAMにおけるセルフリフレッシュと同様のリフレッシュを実現している。

【0022】

アドレスカウンタはDRAMメモリセルをリフレッシュするためのリフレッシュアドレスR-ADDを順次生成する。リフレッシュアドレスR-ADDはアドレスAddに含まれる行アドレスと同じビット幅を持っている。リフレッシュタイマーは半導体記憶装置の外部から最後にアクセス要求があつてからの経過時間を計時しており、それが所定のリフレッシュ時間を越えた場合に半導体記憶装置内部でセルフリフレッシュを起動させる。そのため、リフレッシュタイマーはアドレス変化検出信号ATDが有効となる度にリセットされて計時を再開するように構成されている。マルチプレクサ（MUX）106は、アドレス変化検出信号ATD及びリフレッシュ制御信号REFBのレベルに応じて、アドレス変化検出信号ATDが“H”レベルかつリフレッシュ制御信号REFBが“H”レベルであれば内部アドレスL-ADDに含まれる行アドレスを選択してこれをアドレスM-ADDとして出力する。

【0023】

一方、アドレス変化検出信号ATDが“L”レベルであるかまたはリフレッシュ制御信号REFBが“L”レベルであれば、リフレッシュアドレスR-ADDを選択してアドレスM-ADDとして出力する。メモリセルアレイ107は汎用DRAMと同様のメモリセルアレイであつて、行方向、列方向にそれぞれワード線、ビット線（またはビット線対）が走っており、DRAMと同様の1トランジスタ1キャパシタから成るメモリセルがワード線及びビット線の交点の位置に行列状に配置されて構成されている。ロウデコーダ108は、ロウイネーブル信号REが“H”レベ

ルのときにアドレスM-ADDをデコードし、このアドレスM-ADDで指定されたワード線を活性化させる。ロウイネーブル信号REが“L”レベルであるとき、ロウデコーダ108は何れのワード線も活性化させない。

【0024】

カラムデコーダ109はカラムイネーブル信号CEが“H”レベルとなっているときに内部アドレスL-ADDに含まれる列アドレスをデコードし、この内部アドレスL-ADDで指定されたビット線を選択するためのカラム選択信号を生成する。カラムイネーブル信号/CEが“L”レベルであるときは、カラムデコーダ109はどのビット線に対応するカラム選択信号も生成しない。センスアンプ／プリチャージ回路110は、センスアンプ、カラムスイッチおよびプリチャージ回路から構成されている。カラムスイッチは、カラムデコーダ109の出力するカラム選択信号で指定されたセンスアンプとバスWRBの間を接続する。センスアンプは、センスアンプイネーブル信号SEが“H”レベルであるとき、アドレスAddで特定されるメモリセルの接続されたビット線電位をセンス・増幅してバスWRBに出力し、あるいは、バスWRBに供給された書き込みデータをビット線経由でメモリセルに書き込む。

【0025】

プリチャージ回路は、プリチャージイネーブル信号PEが“H”レベルのときにビット線の電位を所定電位（例えば電源電位の1/2）にプリチャージする。ヒット制御回路111及びレジスタ回路112は、前記レジスタ回路103とともにレイトライト動作を行う。このうちヒット制御回路111は、アドレス変化検出信号ATDの立ち上がりでヒット信号HITを取り込み、これをヒットイネーブル信号HEとしてレジスタ回路112に送出する。アドレススキュー期間内ではアドレスAddの値が確定していないため、ヒット制御回路111はアドレスAddが確定した時点でヒット信号HITを取り込む。レジスタ回路112は、バスWRB上で授受されるデータと同じビット幅のデータレジスタを内蔵している。そしてレジスタ回路112は、制御信号LW2の立ち下がりエッジをトリガとして、I/Oバッファ113を通じて外部からバスWRB X上に供給される書き込みデータをデータレジスタに取り込む。

【 0 0 2 6 】

つまり、書き込み要求があった場合には、当該メモリサイクルで与えられる書き込みデータは一旦データレジスタに取り込まれ、次の書き込み要求のあったメモリサイクルでこの取り込まれた書き込みデータがメモリセルアレイ 1 0 7 へ書き込まれる。即ち、制御信号 LW2 が “H” レベルである場合、レジスタ回路 1 1 2 は直前の書き込み要求の際に与えられた書き込みデータをデータレジスタからバス WRB 上に出力する。一方、制御信号 LW2 が “L” レベルである読み出し動作の場合、レジスタ回路 1 1 2 はヒットイネーブル信号 HE のレベルに応じて異なる動作を行う。すなわち、ヒットイネーブル信号 HE がミスヒットを示す “L” レベルであれば、レジスタ回路 1 1 2 はバス WRB 上の読み出しデータをそのままバス WRB X 上に出力する。

【 0 0 2 7 】

これに対し、ヒットイネーブル信号 HE がヒットを示す “H” レベルであれば、レジスタ回路 1 1 2 は未だメモリセルアレイ 1 0 7 に書き込まれていない書き込みデータをレジスタ回路 1 1 2 内のデータレジスタからバス WRB X 上に出送する。この場合、センスアンプ／プリチャージ回路 1 0 を通じてバス WRB 上に読み出されてくるメモリセルアレイ 1 0 7 のデータは使用されない。I/O（入出力）バッファ 1 1 3 は、R/W 制御回路 1 1 4 からの制御信号 CW0 が “H” レベルであればバス WRB X 上の読み出しデータを出力バッファでバッファリングしてバス I/O から半導体記憶装置外部に出力し、制御信号 CW0 が “L” レベルであれば、出力バッファをフローティング状態として半導体記憶装置外部からバス I/O に供給される書き込みデータを入力バッファでバッファリングしてバス WRB X 上に出送する。つまり制御信号 CW0 が “H” レベルであれば読み出し、“L” レベルであれば書き込みである。

【 0 0 2 8 】

R/W (Read/Write) 制御回路 1 1 4 はチップセレクト信号/CS、書き込みイネーブル信号/WE および出力イネーブル信号/OE に基づいて制御信号 CW0 及び制御信号 LW1, LW2 を生成する。この半導体記憶装置の内部ではレイトライトが行われるが、半導体記憶装置の外部から見たときの仕様では、書き込みイネーブル信号

/WEの立ち下がリエッジでデータの書き込み（取り込み）が開始され、書き込みイネーブル信号/WEの立ち上がりエッジでデータが確定し、書き込み（取り込み）が終了する。ラッチ制御回路115は、アドレス変化検出信号ATD及びセンスアンプイネーブル信号SEに基づいて、アドレスAddのラッチタイミングを決める。上述したラッチコントロール信号LCを生成する。ラッチコントロール信号LCは、アドレス変化検出信号ATDの立ち上がりエッジから、リフレッシュ動作中（アドレス変化検出信号ATDが“L”レベル）に生成されるセンスアンプイネーブル信号SEの立ち下がリエッジまでの期間中に“H”レベルとなる。

【0029】

このため、アドレス変化検出信号ATDが立ち上がった後にアドレスAddが変化しても、ラッチコントロール信号LCが立ち下がるまでの間、ラッチ102は内部アドレスLC-ADDの値を保持し続けるようになる。ロウ制御回路116は、リフレッシュ制御信号REFA、REFB、アドレス変化検出信号ATD及び書き込みイネーブル信号/WEに基づいて、ロウイネーブル信号RE、センスアンプイネーブル信号SE、プリチャージイネーブル信号PEおよびカラム制御信号CCを生成する。カラム制御回路117はカラム制御信号CCに基づいてカラムイネーブル信号/CEを生成する。すなわち、読み出し又は書き込み時において、ロウ制御回路116は、アドレス変化検出信号ATDのワンショットパルスの立ち上がりトリガとしてロウイネーブル信号REに正のワンショットパルスを発生させる。

【0030】

またロウ制御回路116は、リフレッシュ制御信号REFAが“H”レベルの場合に、アドレス変化検出信号ATDのワンショットパルスの立ち下がリエッジトリガとして、リフレッシュ動作に必要な正のワンショットパルスをロウイネーブル信号REに発生させる。さらにロウ制御回路116は、リフレッシュ制御信号REFBに供給される負のワンショットパルスを反転させて得た正のワンショットパルスをロウイネーブル信号REとして出力する。また、ロウ制御回路116はロウイネーブル信号REを遅延させてセンスアンプイネーブル信号SEに正のワンショットパルスを生成するとともに、ロウイネーブル信号REに生じたワンショットパルスの立ち下がりをトリガとしてプリチャージイネーブル信号PEに正のワンショット

トパルスが発生させる。これらセンスアンブイネーブル信号SE及びプリチャージイネーブル信号PEは通常書き込み・読み出しの場合、リフレッシュの場合を問わず生成される。

【 0 0 3 1 】

また、ロウ制御回路 1 1 6 はロウイネーブル信号REを遅延させてカラム制御信号CCを出力する。カラム制御信号CCはリフレッシュの場合には生成されないため、カラム制御信号CCから生成されるカラムイネーブル信号CEも通常書き込み・読み出しの場合にだけ生成され、リフレッシュの場合には生成されない。カラム制御回路 1 1 7 は制御信号CCをさらに遅延させて、これをカラムイネーブル信号/CEとして出力する。ロウイネーブル信号REのワンショットパルスの幅はレイトライト、読み出し、リフレッシュがそれぞれ行われる時間を決定するものであるため、これらの動作のために必要十分なパルス幅が設定される。

【 0 0 3 2 】

リフレッシュ制御回路 1 0 5 から出力されるリフレッシュ制御信号REFAは、半導体記憶装置外部からのアクセス要求に付随してリフレッシュを行うか否かを制御するための信号であり、同信号が“H”レベルであれば、当該アクセス要求により生じるアドレス変化検出信号ATDの立ち下がりによってロウイネーブル信号REにワンショットパルスが発生させてリフレッシュを起動する。一方、同信号が“L”レベルであれば、アドレス変化検出信号ATDにワンショットパルスが発生していても、ロウイネーブル信号REにワンショットパルスが発生させることはない。この半導体記憶装置では、読み出し又は書き込みに伴うリフレッシュ動作が連続する場合、これら各メモリサイクルに付随させてリフレッシュを連続的に行ってゆくことで、メモリセル全体をリフレッシュする。

【 0 0 3 3 】

そして、全てのメモリセルをリフレッシュした時点で、一旦リフレッシュが発生させない状態とする。その後、メモリセルのデータを保持できる限界の状態（セルホールドリット）に近づいたときにこれを検出し、再び連続するメモリサイクルで継続的にリフレッシュを行ってゆく状態に移行する。リフレッシュ制御信号REFAを立ち下げる要因としては、外部からのアクセス要求に伴うリフレッシ

ユによって1サイクル分のリフレッシュが完了したものの、次のサイクルのリフレッシュを起動するにはまだ時間がある場合、あるいは、セルフリフレッシュを起動させたためにこれが完了するまでは外部からのアクセス要求に伴うリフレッシュを行う必要がなくなった場合である。リフレッシュ制御信号REFAを生成するには、リフレッシュ制御回路105内部にリフレッシュ制御信号REFAを保持するラッチ回路を設けて、リフレッシュタイマーの出力信号及びアドレス変化検出信号ATDによってこのラッチ回路のセット・リセットを制御する方法などがある。

【0034】

具体的には、リフレッシュ動作が必要になる（セルホールドリミットの）少し前のタイミングをリフレッシュタイマーで生成し、その出力信号に基づいてリフレッシュ制御回路105の内部でラッチ回路のセット信号を生成してラッチ回路をセットし、リフレッシュ制御信号REFAに“H”レベルを出力する。セット信号を生成するタイミングはサイクルタイムの最大値を目安にして決められる。その後、ロウ制御回路116が、アドレス変化検出信号ATD、または、リフレッシュ制御信号REFAに基づいて発生するリフレッシュ制御信号REFBをトリガとして、ワード線単位でメモリセルのリフレッシュ動作を行ってゆく。そして、全てのメモリセルのリフレッシュ動作が行われたときに、リフレッシュ制御回路105内部でラッチ回路のリセット信号を生成してラッチ回路をリセットし、リフレッシュ制御信号REFAに“L”レベルを出力する。

【0035】

ラッチ回路のリセットは、最後のワード線のリフレッシュするリフレッシュサイクルで、リフレッシュ動作の終わる時間に合わせて行う。あるいは、リフレッシュ動作を完了させたときにロウ制御回路116がリフレッシュ動作完了信号を生成するようにし、リフレッシュ制御回路105がこのリフレッシュ動作完了信号を最後のワード線に対するリフレッシュサイクルで受け取ったときにラッチ回路をリセットする。一方、リフレッシュ制御信号REFBはセルフリフレッシュのための信号である。リフレッシュ制御信号REFBに負のワンショットパルスを与えることで、ロウイネーブル信号REへ強制的にワンショットパルスを発生させてリフレッシュを起動することができる。

【 0 0 3 6 】

リフレッシュ制御信号REFBを生成するには、リフレッシュ制御信号REFAを遅延させる遅延回路と負のワンショットパルスが発生させるパルス発生回路とをリフレッシュ制御回路 1 0 5 内部に設けて、パルス発生回路から負のワンショットパルスが発生させるタイミングを遅延回路で遅延させたりリフレッシュ制御信号REFAとアドレス変化検出信号ATDとで制御する構成などが考えられる。通常、リフレッシュ制御信号REFBは“H”レベルとなっている。この状態でリフレッシュ制御信号REFAが立ち上げられて“H”レベルとなった場合に、このリフレッシュ制御信号REFAの立ち上がりを遅延回路で所定時間遅延させ、この遅延の間にアドレス変化検出信号ATDが発生しなかったときには、遅延せられたリフレッシュ制御信号REFAの立ち上がりでパルス発生回路を起動し、リフレッシュ制御信号REFBに負のワンショットパルスを出力させる。

【 0 0 3 7 】

上記所定時間の遅延は、アドレス変化検出信号ATDが発生させるトリガが外部から与えられないためにメモリセルのリフレッシュに要求されるリミットの時間になってしまうまでを計測するために設定されている。また、半導体記憶装置を立ち上げてから初めて書き込み要求が与えられた場合には、直前の書き込みが存在しないので、当該書き込み要求のあったメモリサイクルでは、書き込みアドレス及び書き込みデータの取り込みだけを行い、メモリセルアレイ 1 0 7 へのレイトライトは行わない。これを実現するために、ロウ制御回路 1 1 6 の内部にフラグが設けられ、チップセレクト信号/CSが有効な状態で書き込みイネーブル信号/WEが一度でも有効化されたかどうかをこのフラグで示している。ロウ制御回路 1 1 6 は半導体記憶装置の立ち上げ時にフラグをオフに初期化しておき、最初の書き込み要求が行われた時点でフラグをオンとする。

【 0 0 3 8 】

また、ロウ制御回路 1 1 6 は書き込み要求があった場合（書き込みイネーブル信号/WE＝“L”レベルかつチップセレクト信号/CS＝“L”レベル）には、フラグがオンになっている場合にだけロウイネーブル信号REにワンショットパルスが発生させる。これによって、ロウ制御回路 1 1 6 及びカラム制御回路 1 7 は、書

き込みに必要となる制御信号CC、センスアンプイネーブル信号SE、カラムイネーブル信号/CE、プリチャージイネーブル信号PEを発生させる。

【 0 0 3 9 】

また図 1 6 において、ブースト電源 1 1 8 はメモリセルアレイ 1 0 7 内のワード線に印加される昇圧電位をロウデコーダ 1 0 8 に供給する電源、基板電圧発生回路 1 1 9 はメモリセルアレイ 1 0 7 の各メモリセルが形成されたウエルまたは半導体基板に印加される基板電圧を発生させる回路、リファレンス電圧発生回路 1 2 0 はメモリセルアレイ 1 0 7 、センスアンプ／プリチャージ回路 1 1 0 内のセンスアンプやプリチャージ回路・イコライズ回路が使用するリファレンス電圧（例えば電源電位の 1 / 2 ）を発生させる回路である。リフレッシュ制御回路 1 0 5 、ブースト電源 1 1 8 、基板電圧発生回路 1 1 9 およびリファレンス電圧発生回路 1 2 0 にはパワーダウン制御信号Power Downが供給されている。

【 0 0 4 0 】

このパワーダウン制御信号Power Downは半導体記憶装置をパワーダウン状態（スタンバイ状態）にするときのモードを半導体記憶装置外部から指定するための信号である。リフレッシュ制御回路 1 0 5 、ブースト電源 1 1 8 、基板電圧発生回路 1 1 9 およびリファレンス電圧発生回路 1 2 0 は、パワーダウン制御信号Power Downに従ってそれぞれ自身に対する電源供給を制御するように構成されている。図示の半導体記憶装置は、メモリセル自体がDRAMと同様のものであるため、SRAMのようにスタンバイ状態で単純に半導体記憶装置内の回路各部への電源供給を止めてしまうことはできない。スタンバイ状態であってもメモリセルのデータを保持するためにはリフレッシュ動作に必要となる回路へ電源を供給し続ける必要がある。

【 0 0 4 1 】

そこでこの半導体記憶装置では、スタンバイ状態におけるモードを幾つか設けてSRAMとの互換性をできる限りとるとともに、既存の半導体記憶装置には存在しないようなモードも設けている。具体的には、3種類のスタンバイモードが設けられており、スタンバイモード1は、通常のDRAMと同等の電源供給モードであって、3種類あるスタンバイモードの中では最も消費電流が大きい。しか

し、この場合にはメモリセルのリフレッシュに必要な全ての回路へ電源が供給されたままになっている。このため、スタンバイ状態に移行する直前におけるメモリセルのデータが保持されているほか、半導体記憶装置をスタンバイ状態からアクティブ状態へ移行させるまでの時間が3種類のスタンバイモードの中では最も短い。

【0042】

スタンバイモード2は、リフレッシュ制御回路105への電源供給を停止するモードであり、リフレッシュに必要とされる回路に対して電源が供給されないため、スタンバイ状態においてメモリセルのデータを保持しておくことはできないが、その分スタンバイモード1に比べて消費電流を低減させることができる。つまりこのモードは、スタンバイ状態でデータを保持しておくという既成概念から発想の転換を図ったものであって、スタンバイ状態からアクティブ状態に移行すれば、メモリセルアレイ全体に対して書き込みを行える状態になる。

【0043】

スタンバイモード3は、リフレッシュ制御回路105、ブースト電源118、基板電圧発生回路119およびリファレンス電圧発生回路120への電源供給を停止するモードであり、ブースト電圧、基板電圧、リファレンス電圧を立ち上げる必要があるため、スタンバイ状態からアクティブ状態に移行するまでの時間が3種類あるスタンバイモードの中で最も長くなるが、その分、スタンバイモードにおける消費電流を最も小さくすることができる。スタンバイモード2とスタンバイモード3は半導体記憶装置をバッファとして使用する場合などに適したモードである。なお、スタンバイモード1～3の何れの場合においても、上述の4種類以外の回路については必要な回路には電源が供給されている。

【0044】

次に、図16～図17を参照して上記先行技術の動作について説明する。上述したように半導体記憶装置の立ち上げ後における最初の書き込みでは、その動作が2回目以降の書き込みのときとは異なる例外的なものになる。図17には少なくとも1回目の書き込みが行われていることを前提として、2回目以降の書き込み動作が示されている。すなわち、以前のメモリサイクルにおいて、アドレス“

A_x”に対するデータ“Q_x”の書き込み要求があったものとする。これにより、当該メモリサイクルではアドレス“A_x”がレジスタ回路103内のアドレスレジスタに取り込まれるとともに、データ“Q_x”がレジスタ回路112内のデータレジスタに取り込まれている。

【0045】

図17では、アドレス“A_n”に対する書き込みおよびアドレス“A_{n+1}”からの読み出しを続けて行う場合についてその動作タイミングが示されている。なお、リフレッシュアドレスR-ADDの値は書き込み前において“R₁₋₁”になっているものとする。また、アドレス“A_{n-1}”は直前のメモリサイクルで与えられたアドレスである。仮にこの直前のメモリサイクルで書き込み要求が行われたのであればアドレス“A_n”＝アドレス“A_x”であり、さもないと直前の書き込み要求とアドレス“A_n”に対する書き込み要求との間に少なくとも読み出し要求が1回はあったことになる。

【0046】

まず書き込みのためのメモリサイクルの場合、時刻t₁になると、アドレスAddがそれまでの値“A_{n-1}”から“A_n”に変化し始める。このとき、ラッチコントロール信号LCは“L”レベル、かつ制御信号LW1も“L”レベルである。このため、アドレスAddはアドレスバッファ101でバッファリングされ、ラッチ102をスルーで通過して内部アドレスLC-ADDとなり、さらに内部アドレスLC-ADDはレジスタ回路103をスルーで通過して内部アドレスL-ADDとなる。そして、ATD回路104は内部アドレスLC-ADDの変化からアドレスAddが変化し始めたことを検知するようになる。なお、この時点からアドレススキュー期間(T_{SK EW}に相当)に入るため、汎用SRAMの場合と同じくこの時点でアドレスAddの値が確定しているとは限らない。

【0047】

このため、時刻t₁ではアドレスAddをラッチ102に取り込むことはせず、この後に時間T_{SK EW}が経過してアドレスAddの値が“A_n”に確定した時点でラッチ102にアドレスAddを保持させるようにしている。また、アドレススキュー期間内において書き込みイネーブル信号/WEに負のパルスが例えば時刻t

2で入力される。R/W制御回路114は書き込みイネーブル信号/WEが立ち下がったことを受けて制御信号CW0を“L”レベルにするほか、制御信号LW1, LW2とともに“H”レベルにする。その結果、I/Oバッファ113はバスI/O上の書き込みデータをバスWRBX上に送出するようになる。この時点ではまだ書き込みデータの値が確定しているとは限らない。レジスタ回路103はアドレスレジスタに保持しているアドレス“A_x”を内部アドレスL-ADDとして出力し、レジスタ回路112はデータレジスタに保持しているデータ“Q_x”をバスWRB上に出力する。

【0048】

時刻t₃になるとアドレスAddの値が“A_n”に確定する。また、時刻t₃では、アドレスAdd(=内部アドレスLC-ADD)が変化し始めた時点(時刻t₁)から時間T_{SK EW}が経過しているため、ATD回路104はこの後の時刻t₄でアドレス変化検出信号ATDに正のワンショットパルスを発生させる。アドレス変化検出信号ATDが立ち上がったことを受けて、リフレッシュ制御回路105は書き込み後に引き続いて行われるリフレッシュ動作のために、リフレッシュアドレスR-ADDの値を“1”だけ増加させてその値を“R₁”に更新する。そして、アドレス変化検出信号ATDの立ち上がりを契機としてレイトライト動作が開始される。すなわち、マルチプレクサ106はアドレス変化検出信号ATDの立ち上がりを受けて内部アドレスL-ADD側を選択する。

【0049】

このとき、レジスタ回路103は内部アドレスL-ADDとしてアドレスレジスタの保持するアドレス“A_x”を出力しており、マルチプレクサ106はこの値をアドレスM-ADDとしてロウデコーダ108に出力する。また、同じくアドレス変化検出信号ATDが立ち上がったことで、ロウ制御回路116はロウイネーブル信号REに正のワンショットパルスを発生させる。これによってロウデコーダ108はアドレス“A_x”に対応するワード線を活性化させる。次に、ロウイネーブル信号REのワンショットパルスに対応して、ロウ制御回路116はセンスアンプイネーブル信号SEに正のワンショットパルスを発生させるほか、制御信号CCに正のワンショットパルスを発生させてこれをカラム制御回路117に出力する。これ

により、カラム制御回路117はカラムイネーブル信号/CEに正のワンショットパルスが発生させる。

【0050】

こうしてカラムイネーブル信号CEが“H”レベルとなると、カラムデコーダ109は内部アドレスL-ADD(=アドレス“A_x”)に含まれた列アドレスをデコードし、この列アドレスに対応するカラム選択信号に正のワンショットパルスが発生させる。この結果、センスアンプ/プリチャージ回路110内のセンスアンプのうち、上記列アドレスに対応するセンスアンプが選択されてバスWRBと接続される。以上の結果、時刻t₄からはセンスアンプ/プリチャージ回路110内のセンスアンプを通じてアドレス“A_x”に対応したメモリセルヘデータ“Q_x”の書き込みが始まる。この後、時刻t₅になると、アドレス“A_n”に対する書き込みデータであるデータ“Q_n”が供給されるようになり、当該データがバスI/Oに載せられてI/Oバッファ113を通じてバスWRBX上に送出される。

【0051】

このときバスWRBXはバスWRBに接続されていないため、この時点においてデータ“Q_n”はメモリセルアレイ107への書き込みには関係していない。この後、ロウ制御回路116は書き込み動作を終了させるために、ロウイネーブル信号REのワンショットパルスを立ち下げる。これを受けて、ロウデコーダ108はアドレス“A_x”に対応した書き込みワード線を非活性化させる。次に、ロウ制御回路116はセンスアンプイネーブル信号SEを立ち下げてセンスアンプ/プリチャージ回路110内のセンスアンプを通じた書き込み動作を終了させる。次いで、ロウ制御回路116は制御信号CCを立ち下げ、この立ち下がりを受けたカラム制御回路117はカラムイネーブル信号CEを立ち下げる。その結果、カラムデコーダ109はカラム選択信号を無効化して、選択されていたセンスアンプ/プリチャージ回路110内のセンスアンプとバスWRBとの間を切り離す。

【0052】

次に、ロウ制御回路116はプリチャージイネーブル信号PEを立ち上げ、これによってセンスアンプ/プリチャージ回路110内のプリチャージ回路は次のア

クセスに備えてビット線をプリチャージする。次いで、ロウ制御回路 1 1 6 はプリチャージ動作に必要な時間が経過してからプリチャージイネーブル信号 PE を立ち下げてセンスアンプ／プリチャージ回路 1 1 0 内のプリチャージ回路によるビット線のプリチャージ動作を終了させる。次に、時刻 t_6 になってアドレス変化検出信号 ATD が立ち下がると、リフレッシュ動作が開始される。すなわち、マルチプレクサ 1 0 6 はアドレス変化検出信号 ATD が “L” レベルになったことでリフレッシュアドレス R-ADD を選択し、アドレス M-ADD として “R 1” を出力する。

【 0 0 5 3 】

また、アドレス変化検出信号 ATD の立ち下がりを受けて、ロウ制御回路 1 1 6 はロウイネーブル信号 RE に正のワンショットパルスが発生させる。これによってロウデコーダ 1 0 8 はアドレス M-ADD の値 “R 1” に対応するワード線を活性化させる。その結果、メモリセルアレイ 1 0 7 ではリフレッシュワード線に接続されたメモリセルの保持データがビット線上の電位として現れるようになる。この後、ロウ制御回路 1 1 6 がセンスアンプイネーブル信号 SE に正のワンショットパルスを生成すると、センスアンプ／プリチャージ回路 1 1 0 内のセンスアンプが活性化されて、リフレッシュワード線に接続された各メモリセルのリフレッシュが始まる。なお、リフレッシュ動作自体は D R A M で行われているものと同様である。

【 0 0 5 4 】

こうしてリフレッシュが行われている最中の例えば時刻 t_7 において、書き込みイネーブル信号 /WE が立ち上げられると、R / W 制御回路 1 1 4 は制御信号 LW1, LW2 をともに立ち下げる。この制御信号 LW1 の立ち下がりを受けて、レジスタ回路 1 0 3 は時刻 t_8 で内部アドレス LC-ADD の値 “A n” をアドレスレジスタに取り込む。また、レジスタ回路 1 1 2 は制御信号 LW2 の立ち下がりを受けて、同時刻 t_8 でバス W R B X 上のデータ “Q n” をデータレジスタに取り込む。これらレジスタに取り込まれたアドレス “A n” 及びデータ “Q n” は、次の書き込み要求が行われた時点のメモリサイクルでレイトライト動作に使用されることになる。この後、時刻 t_9 になると書き込みのためのメモリサイクルが終了して読み出しのためのメモリサイクルに移行する。

【 0 0 5 5 】

この時点ではレイトライトに付随したリフレッシュ動作は引き続いて行われている状態である。リフレッシュを開始（時刻 t_6 ）させてからリフレッシュに必要な時間が経過すると、ロウ制御回路 1 1 6 はリフレッシュ動作を終了させるためにロウイネーブル信号 RE を立ち下げる。これによって、ロウデコーダ 1 0 8 はリフレッシュワード線を非活性化させる。次に、ロウ制御回路 1 1 6 はセンスアンプイネーブル信号 SE を立ち下げて、リフレッシュを終えたセンスアンプ／プリチャージ回路 1 1 0 内のセンスアンプを非活性化させる。このとき、ラッチ制御回路 1 1 5 はセンスアンプイネーブル信号 SE が立ち下がったことを受けてラッチコントロール信号 LC を立ち下げる。リフレッシュの過程ではメモリセルのデータを半導体記憶装置外部へ出力する必要がないことから、ロウイネーブル信号 RE にワンショットパルスが生成されてもカラムイネーブル信号 CE にはワンショットパルスを発生させない。従ってカラムデコーダ 1 0 9 はカラム選択信号を非活性状態のままとしている。

【 0 0 5 6 】

以上のようにしてリフレッシュ動作が完了すると、ロウ制御回路 1 1 6 は書き込みが終わったときと同様にプリチャージイネーブル信号 PE にワンショットパルスを発生させてビット線をプリチャージする。そして、これまで述べた動作が遅くとも時刻 t_{10} （書き込みサイクルに続く読み出しサイクルの開始時点から時間 T_{SKW} が経過したとき）までに行われる。この例ではアドレス Add が未確定の間はアドレス変化検出信号 ATD のワンショットパルスを発生させないことで、アドレススキュー期間が終わるまで書き込み又は読み出し動作が始まらないように制御しているので、リフレッシュ動作は次のメモリサイクルのアドレススキュー期間終了まで延びても問題はない。また、この制御に対応させて、アドレススキュー期間中は書き込み・読み出しアドレスに使用される内部アドレス L-ADD が直前のメモリサイクルの値を保持するようにしている。

【 0 0 5 7 】

図 1 7 において時刻 $t_1 \sim t_9$ （実際の動作は時刻 $t_3 \sim t_{10}$ ）が 1 メモリサイクルであって、サイクルタイムは「T c y c」で示されている。また、時刻

t 7 ~ t 9 の期間が上述したリカバリ時間TWRに相当している。しかし図 17 に示す動作では、レイトライト後のプリチャージ動作がリフレッシュ動作前に完結しているため、リカバリ時間TWRを確保しておく必要はない。例えば、書き込みイネーブル信号/WEが時刻 t 9 で立ち上がるようにしても良く、そうした場合にはリカバリ時間TWRはゼロとなる。

【0058】

次に、読み出しのためのメモリサイクルの場合には、まず時刻 t 9 でアドレス Add の値が “A n” から変化し始める。この場合も時刻 t 10 まではアドレススキュー期間であることから、アドレスが “A n + 1” に確定するまではアドレス Add はラッチ 102 に取り込まれない。また、読み出し要求が為される場合はアドレススキュー期間で書き込みイネーブル信号/WE が立ち下げられることはなく、その代わりに出力イネーブル信号/OE が有効化される。このため、R/W 制御回路 114 はメモリセルからの読み出しに備えて制御信号 CW0 を “H” レベルとするほか、制御信号 LW1, LW2 を何れも “L” レベルのままとする。これによって I/O バッファ 113 はバス WRBX 上のデータをバス I/O へ送出するようになる。

【0059】

この時点ではまだアドレススキュー期間であって、ヒット制御信号 HE も直前のメモリサイクルのままになっており、バス WRBX 上にデータ WRB 上のデータが読み出されるのか、データレジスタの保持データが読み出されるのかは確定していない。アドレススキュー期間が終わって時刻 t 10 になると、アドレス Add および内部アドレス LC-ADD の値が “A n + 1” に確定する。このとき、制御信号 LW1 は “L” レベルであるため、内部アドレス LC-ADD の値がそのまま内部アドレス LC-ADD として出力される。また、内部アドレス LC-ADD の値 “A n + 1” はアドレスレジスタに保持されているアドレス “A n” と一致しないため、レジスタ回路 103 はヒット信号 HIT として “L” レベルを出力する。時刻 t 11 で ATD 回路 104 がアドレス変化検出信号 ATD に正のワンショットパルスが発生させ、これによって読み出し動作が開始される。

【0060】

そして、リフレッシュ制御回路105はリフレッシュアドレスR-ADDの値を“R1”から“R1+1”に更新する。また、ヒット制御回路111は同時刻 t_{11} でヒット信号HITを取り込んでヒットイネーブル信号HEとして“L”レベルを出力する。これにより、レジスタ回路112はバスWRBとバスWRBXを接続するようになり、センスアンプ／プリチャージ回路110内のセンスアンプによるセンス結果がI/Oバッファ113およびバスI/Oを通じて半導体記憶装置外部に出力可能となる。マルチプレクサ106は内部アドレスL-ADDを選択してアドレス“ A_{n+1} ”をアドレスM-ADDとしてロウデコーダ108に出力する。同時に、ロウ制御回路116はロウイネーブル信号REに正のワンショットパルスが発生させ、ロウデコーダ108はアドレス“ A_{n+1} ”に対応したワード線を活性化させる。

【0061】

この結果、読み出しワード線に接続されたメモリセルの保持データがビット線上の電位として読み出される。次に、ロウ制御回路116はセンスアンプイネーブル信号SE、制御信号CCにそれぞれ正のワンショットパルスが発生させる。すると、カラム制御回路117はカラムイネーブル信号/CEに正のワンショットパルスが発生させ、カラムデコーダ109はアドレス“ A_{n+1} ”中の列アドレスに対応したカラム選択信号を活性化させて、このカラム選択信号に対応したセンスアンプをバスWRBと接続する。このセンスアンプは読み出しワード線に接続された各メモリセルのデータをセンスして“0”／“1”のレベルまで増幅する。その結果、時刻 t_{13} になるとアドレス“ A_{n+1} ”に記憶されているデータ“ Q_{n+1} ”がバスWRB上に現れるようになり、レジスタ回路112、バスWRBX、I/Oバッファ113を通じてバスI/Oから外部に読み出される。

【0062】

この後、読み出し動作を終了させるために、ロウ制御回路116はロウイネーブル信号REを立ち下げる。すると、書き込みの場合と同様にして、アドレス“ A_{n+1} ”に対応した読み出しワード線が非活性化され、センスアンプイネーブル信号SEが“L”レベルになってセンスアンプ／プリチャージ回路110内のセンスアンプがセンス動作を終了させる。また、カラム制御回路117がカラムイネ

ーブル信号CEを“L”レベルにすることで、センスアンプとバスWRBとの間が切り離される。次いで、ロウ制御回路116がプリチャージイネーブル信号PEにワンショットパルスを生成することでビット線がプリチャージされる。一方、時刻 t_{12} ではアドレス変化検出信号ATDが立ち下がって、読み出しに付随したリフレッシュ動作が開始される。

【0063】

この場合、時刻 $t_{12} \sim t_{15}$ において為される動作は書き込みに付随するリフレッシュと同じであって、リフレッシュアドレスR-ADDとして“R1”ではなく“R1+1”が使用される点だけが異なっている。そしてリフレッシュ動作中に時刻 t_{14} となると、読み出しのためのメモリサイクルが終了してこれに続く新たなメモリサイクルに移行し、リフレッシュ動作はこの新たなメモリサイクルでアドレススキュー期間が終了するまでに完了する。なお、時刻 $t_9 \sim t_{14}$ （実際の動作は時刻 $t_{10} \sim t_{15}$ ）はやはり1メモリサイクルであって、サイクルタイムは「T_{cyc}」である。図17において、読み出しアドレスが“A_n+1”ではなく“A_n”である場合には、アドレス“A_n”に対する書き込みデータ“Q_n”が未だメモリセルアレイ107に反映されていない。このため、以下に説明するようなバイパス動作が行われる。

【0064】

この場合、図17に示す時刻 t_{10} になるとアドレスAddの値が“A_n”に確定して、内部アドレスLC-ADDにもこの値“A_n”が出力される。このとき、レジスタ回路103内のアドレスレジスタは“A_n”を保持しているため、レジスタ回路103はヒット信号HITとして“H”レベルを出力するようになる。この後、時刻 t_{11} になってアドレス変化検出信号ATDが立ち上がると、ヒット制御回路111はヒット信号HITを取り込み、ヒットイネーブル信号HEとして“H”レベルを出力する。そしてこの場合は読み出し動作であるため、R/W制御回路114は制御信号LW2として“L”レベルを出力している。したがって、レジスタ回路112はデータレジスタに保持しているデータ“Q_n”をバスWRBX上に出力するようになる。

【0065】

この後は、読み出しアドレスが“ $A_n + 1$ ”のときに準じて、メモリセルアレイ107からアドレス“ A_n ”に記憶されているデータが読み出され、時刻 t_{13} になると当該データがバスWRB上に読み出されてくる。しかし、このデータは書き込み前の古いデータであることから、読み出しデータとして使用されずに廃棄される。その代わりに、バスWRBX上に出力されているデータ“ Q_n ”がI/Oバッファ113、バスI/Oを通じて半導体記憶装置外部に出力される。なお、バイパス動作を行う場合にはメモリセルアレイ107からの読み出しは必要ないことから、読み出し動作を起動せずに消費電流を低減させることが可能である。

【0066】

その場合には、ヒットイネーブル信号HEをロウ制御回路116にも供給する。そして、読み出し要求であってアドレス変化検出信号ATDの立ち上がりタイミングでヒットイネーブル信号HEが“H”レベルであれば、ロウ制御回路116およびカラム制御回路117は、ロウイネーブル信号REとこの信号から時系列的に生成される各信号（センスアンプイネーブル信号SE、制御信号CC、カラムイネーブル信号/CE、カラム選択信号、ブリチャージイネーブル信号PE）を発生させないように制御する。以上のようにこの半導体記憶装置では、書き込み要求に伴う書き込みイネーブル信号/WEをアドレススキュー期間内で立ち下げているため、アドレスが確定した時点においてアクセスが書き込み／読み出し何れであるかが確定している。

【0067】

しかもレイトライトを行っているため、書き込みアドレスおよび書き込みデータは何れもアドレススキュー期間以前において既に確定しており、アクセス要求が書き込み／読み出しの何れであるかが確定した時点より直ちに書き込み動作又は読み出し動作を開始できる。また、リカバリ時間TWRも確保しておく必要がない。従って、書き込み又は読み出しに要する時間が最小限となって、1メモリサイクルの長さ（時刻 $t_3 \sim t_{10}$ あるいは時刻 $t_{10} \sim t_{15}$ ）を最短にすることができる。また、書き込み又は読み出しを行ってからリフレッシュを実施しているため、リフレッシュ後に読み出し又は書き込みを行う場合に比べて、リフレ

ッシュを行うのに必要となる時間だけアクセスを高速化できる。

【 0 0 6 8 】

このように、レイトライトによりメモリセルへの書き込みを行う方法では、書き込み要求があった場合、当該書き込み要求に対する書き込みデータが確定するまで待つ必要がなく、それ以前の書き込み要求に対応したメモリセルへの書き込み動作及びそれに続くリフレッシュ動作と次の書き込みデータの取り込みとを並行して行うことができる。従って、書き込みデータがいつ確定するかによって書き込み時間が左右されることはなく、書き込み時間と読み出し時間を等しく一定にすることが可能となり、書き込み又は読み出しを行ってから所定のメモリサイクル内で余裕を持ってリフレッシュ動作を行うことが可能となる。

【 0 0 6 9 】

【発明が解決しようとする課題】

上記先行技術では、レイトライトによる書き込みによって、書き込みのためのメモリサイクルの長さを最短にすることができ、読み出しのためのメモリサイクルと同様の長さとするので、書き込みサイクルが継続されるような状態においても、各書き込みサイクル内でリフレッシュ動作を行うことが可能となるが、各メモリサイクルに付随するリフレッシュ動作は、A T D回路 1 0 4 がアドレスラッチ回路 1 0 2 から出力されるアドレス変化を検出してから所定時間後に発生するトリガ信号によって起動されるため、メモリアクセスが長時間継続して行われないような場合にはリフレッシュ動作が起動されない状況が発生する。

【 0 0 7 0 】

このような状況を回避するために、上記先行技術においてはリフレッシュ制御回路 1 0 5 内にリフレッシュタイマーを内蔵している。このリフレッシュタイマーは半導体記憶装置の外部から最後にアクセス要求があったからの経過時間を計時しており、それが所定のリフレッシュ時間を越えた場合に半導体記憶装置内部でセルフリフレッシュを起動させる。そのため、リフレッシュタイマーはアドレス変化検出信号A T Dが有効となる度にリセットされて計時を再開するように構成されている。

【0071】

すなわち上記先行技術では、各メモリサイクルに付随させてリフレッシュを行っているのでメモリアクセスが連続する場合には本来必要とする以上にメモリリフレッシュ動作が行われ、無駄に電力を消費してしまう虞がある。また、メモリリフレッシュ手段として、各メモリサイクルに付随したリフレッシュ手段と、リフレッシュタイマーによるリフレッシュ手段の二つの手段を備えていることになり、リフレッシュのための構成が重複し、コストアップの要因となる。

【0072】

本発明の目的は、上記問題点に鑑み、上記メモリセルのリフレッシュ動作をリフレッシュタイマーから出力される周期的なリフレッシュ要求のみによって実行させるとともに、メモリアクセス要求とメモリリフレッシュ要求の衝突を効率的に回避し、かつ上記メモリリフレッシュ要求に対するリフレッシュ動作をメモリサイクル内で確実に実行可能な手段を提供することにある。

【0073】

【課題を解決するための手段】

本発明の半導体記憶装置は、リフレッシュを必要とするメモリセルで構成されたメモリセルアレイを有し、アクセスアドレスに対して読み出し要求又は書き込み要求が非同期的に与えられる半導体記憶装置において、前記メモリセルアレイに対するリフレッシュ要求信号を周期的に出力するリフレッシュタイマーと、前記書き込み要求に対して、当該書き込み要求に対するメモリサイクルよりも前の時点のメモリサイクルで与えられた書き込み要求に対するアクセスアドレス及び書き込みデータをレイトライトで書き込むレイトライト書き込み手段と、前記リフレッシュタイマーからのリフレッシュ要求信号を受けて前記メモリセルアレイに対するリフレッシュを実行するとともに、前記リフレッシュ要求信号が前記読み出し要求又は前記書き込み要求と衝突したとき、前記リフレッシュの実行を該衝突した読み出し要求又は書き込み要求に対するメモリセルの読み出し動作又はレイトライト書き込み動作が終了するまで遅延させるリフレッシュ制御手段とを具備することを特徴とする。

【0074】

すなわち本発明では、メモリセルアレイに対するリフレッシュ動作をメモリセルアクセス動作とは独立に周期的に実行させるので、不必要なリフレッシュ動作による電力消費を防止することができる。また、リフレッシュ動作がメモリアクセス動作と衝突した場合には、リフレッシュ動作を当該衝突したメモリアクセス動作が終了するまで遅延させるので、メモリアクセスにあたってリフレッシュ動作を意識する必要がない。さらに、メモリアクセスが書き込み要求であった場合にはレイトライトによる書き込み動作を行うので、当該衝突したメモリアクセスが読み出し要求又は書き込み要求のいずれであっても、それに伴うリフレッシュ要求の遅延は所定時間以下とすることができ、該衝突したリフレッシュ要求に対するリフレッシュ動作を、当該メモリサイクル内で余裕を持って実行することができる。

【 0 0 7 5 】

また、本発明におけるリフレッシュタイマーは、そのリフレッシュ要求トリガを発生するタイマー周期として、アクティブ時のタイマー周期を短くし、リフレッシュ動作を行うスタンバイ時のタイマー周期を長くするように切り換える機能を有している。これは、アクティブ時にはビット線がアクセスされる毎に該ビット線の電位変動（ディスターブ）が生じてメモリセルの保持電位が不安定となってメモリ保持タイムが小さくなる傾向がある。そこで、アクティブ時のリフレッシュ周期をスタンバイ時におけるリフレッシュ周期よりも短くすることにより、メモリセルの記憶の安定化を図っている。

【 0 0 7 6 】

【発明の実施の形態】

図 1 は、本発明の第 1 の実施形態による半導体記憶装置の構成を示すブロック図である。

【 0 0 7 7 】

同図において、アドレス ADD は半導体記憶装置外部から供給されるアクセスアドレスである。メモリセルアレイ 2 7 が行列状に配列されていることに対応して、アドレス ADD は行（ロウ）アドレス（以下、X アドレスという）および列（カラム）アドレス（以下、Y アドレスという）を含んでいる。アドレスバッファ 1

1、12はこのXアドレス、Yアドレスをバッファリングして出力する。レイトライトレジスタ13、14は、レイトライト用のレジスタと図16におけるラッチ回路102を兼ねている。このレイトライトレジスタ13、14は、それぞれXアドレス、Yアドレスのビット幅に等しいアクセスアドレスを保持するためのレジスタ（アドレスレジスタ）を内蔵している。

【0078】

Yアドレス用レイトライトレジスタ14から出力されるアドレスはメモリアクセス用アドレスY-ADDとしてYプリデコーダ36に入力されて複数ブロックにデコードされた後、Yデコーダ25に入力される。Xアドレス用レイトライトレジスタ13から出力される内部アドレスEX-ADDはマルチプレクサ（以下、MUXという）20に出力される。MUX20は、Xアドレス用レイトライトレジスタ13から出力される内部アドレスEX-ADDとリフレッシュアドレスカウンタ21から出力されるリフレッシュ用アドレスRF-ADDの切り換えを行う。MUX20で切り換えられたXアドレスX-ADDは、Xプリデコーダ35に入力されて複数ブロックにデコードされた後、Xデコーダ28に入力される。

【0079】

なお、XアドレスX-ADDとYアドレスを直接Xデコーダ28とYデコーダ25に入力してY-ADDXプリデコーダ35とYプリデコーダ36を省略して構成することも可能である。また、本実施形態においても、メモリセルへの書き込みをレイトライトにより実施している点、読み出し時におけるアドレスヒット時にデータレジスタに格納されているデータを読み出している点においては、上記先行技術と同様のレイトライト動作が行われる。本実施形態におけるレイトライト動作は主に、レイトライトレジスタ13、14、R/Wコントロール回路15、データI/Oコントロール回路17、アドレスヒットコントロール回路19及びDinレジスタ/Doutバッファ24により実行される。

【0080】

R/Wコントロール回路15は、書き込みイネーブル信号/WEと、リフレッシュコントロールパルス発生回路16からのラッチコントロール信号LCを入力して、レイトライトレジスタ13、14に対してレイトライト動作を制御するための

信号LCWE、LCREを出力すると共に、データI/Oコントロール回路17に対してデータの書き込み又は読み出しを指示する信号を出力する。データI/Oコントロール回路17は、出力イネーブル信号/OEと上記データの書き込み又は読み出しを指示する信号を入力して、データ取り込み用内部クロックDCKとデータ書き込み用内部クロックWEINTを出力する。

【0081】

リフレッシュコントロールパルス発生回路16は、リフレッシュタイマー18からのリフレッシュ要求トリガと、チップイネーブル信号/CE、出力イネーブル信号/OE、書き込みイネーブル信号/WEおよびレイトライトレジスタ13, 14から出力されるアドレス変化検出信号ATDを入力して、ラッチコントロール信号LC、ロウイネーブルノーマル信号REN、ロウイネーブルリフレッシュ信号RERF、リフレッシュアドレスカウンタアップ信号を発生し、R/Wコントロール回路15およびレイトライトレジスタ13, 14、MUXコントロール回路22、センスイネーブル/プリチャージイネーブルコントロール回路（以下、SE/PEコントロール回路という）23、リフレッシュアドレスカウンタ21にそれぞれ出力する。

【0082】

リフレッシュアドレスカウンタ21は、リフレッシュコントロールパルス発生回路16から入力されたリフレッシュアドレスカウンタアップ信号によりリフレッシュアドレスRF-ADDをカウンタアップし、MUX20に出力する。MUXコントロール回路22は、外部アドレス変化およびタイマートリガを受けてリフレッシュコントロールパルス発生回路16から出力されるロウイネーブルノーマル信号RENおよびロウイネーブルリフレッシュ信号RERFにより、MUX20から出力するアドレスとして内部アドレスEX-ADDおよびリフレッシュアドレスRF-ADDの切り替え制御を行うために、MUX20に対して所定パルス幅のノーマルアドレス転送制御信号TNおよびリフレッシュアドレス転送制御信号TREを出力する。

【0083】

このノーマルアドレス転送制御信号TNおよびリフレッシュアドレス転送制御信号TREは、Xプリデコーダ35にも出力される。SE/PEコントロール回路2

3 は、リフレッシュコントロールパルス発生回路 1 6 から入力されたロウイネーブルノーマル信号RENおよびロウイネーブルリフレッシュ信号RERFによりD R A M内のセンスアンプ／プリチャージ回路 2 6 を制御する。

【 0 0 8 4 】

スタンバイコントロール回路 2 9 は、ブースト電圧発生回路 3 1，基板電圧発生回路 3 2，センスアンプ用降圧電圧発生回路 3 3， $1/2 VDD$ 電圧発生回路 3 4 等の内部電圧発生回路 3 0 の動作電圧を、前記先行技術で説明したスタンバイモードに応じて制御する回路であるが、これらの構成は本発明とは直接関係しないので詳細説明は省略する。

【 0 0 8 5 】

図 2 は、リフレッシュコントロールパルス発生回路 1 6 の構成例を示すブロック図である。図 2 において、ワンショットパルス発生回路 1 6 1 は、チップイネーブル信号/CEが入力されている状態でレイトライトレジスタ 1 3，1 4 からアドレス変化信号ATDが入力されるとワンショットパルスOSを出力し、ラッチ回路 1 6 3 はこのワンショットパルスOSの立ち上がりによりその出力を“H”レベルにする。また、ラッチ回路 1 6 4、1 6 5 は、リードイネーブル信号/OE、ライトイネーブル信号/WEが入力される（“L”レベル）と、その立ち下がり“H”レベルを出力する。

【 0 0 8 6 】

ラッチ回路 1 6 3，1 6 4，1 6 5 の出力は、NORゲート 1 6 7 に入力される。従って、NORゲート 1 6 7 の出力は、ラッチ回路 1 6 3，1 6 4，1 6 5 の出力が全て“L”レベルの時のみ“H”レベルとなり、ラッチ回路 1 6 3，1 6 4，1 6 5 の出力の内いずれかが“H”レベルであれば“L”レベルとなる。このNORゲート 1 6 7 の“L”レベル出力は、リフレッシュ禁止信号としてANDゲート 1 6 8 に入力されるとともに、インバータ 1 6 9 を介してメモリアクセス要求信号としてメモリアクセス用パルス発生回路 1 7 1 に入力される。

【 0 0 8 7 】

メモリアクセス用パルス発生回路 1 7 1 には、ラッチ回路 1 6 3 から出力される“H”レベル信号を所定時間遅延する遅延回路 1 6 6 の出力も入力されており

、メモリアクセス用パルス発生回路171は、インバータ169の出力が“H”レベルに立ち上がる時点でラッチコントロール信号LCを“H”レベルに立ち上げ、所定時間後に遅延回路166の出力が“H”レベルに立ち上がる時点でロウイネーブルノーマル信号RENを“H”レベルに立ち上げてメモリアクセスを開始させる。遅延回路166の遅延時間は、インバータ169からメモリアクセス信号が入力された時点でメモリセルのリフレッシュ動作が実行中であった場合、直ぐRead/Writeをスタートさせることはできないので、予めリフレッシュ動作時間だけ遅らせてRead/Writeをスタートさせるために設けられている。

【0088】

リフレッシュ要求発生回路162は、リフレッシュタイマー18からリフレッシュ要求トリガを受けたとき“H”レベルとなり、その出力をリフレッシュ要求信号としてANDゲート168を経由してリフレッシュ用パルス発生回路170へ出力する。従って、メモリアクセス動作を実行中でなければNORゲート167の出力は“H”レベルであるので、リフレッシュタイマー18からリフレッシュ要求トリガが入力されると、リフレッシュ要求信号がリフレッシュ用パルス発生回路170に入力され、リフレッシュ用パルス発生回路170からはロウイネーブルリフレッシュ信号RERFおよびリフレッシュアドレスカウントアップ信号が出力されて直ちにリフレッシュ動作が実行される。

【0089】

一方、メモリアクセス動作を実行中はNORゲート167の出力が“L”レベルであるため、リフレッシュ要求信号はANDゲート168で阻止され、リフレッシュ動作は禁止される。しかしその後、予め設定されたメモリアクセス動作時間が経過した時点でメモリアクセス用パルス発生回路171から出力されているラッチコントロール信号LCが“H”レベルから“L”レベルへ立ち下がる。このラッチコントロール信号LCの“L”レベルへの立ち下がり信号が、ラッチ回路163、164、165およびリフレッシュ要求発生回路162にリセット信号として入力される。このリセット信号により、ラッチ回路163、164、165がリセットされてその出力は“L”レベルとなる。

【0090】

その結果、NORゲート167の出力が“H”レベルとなってリフレッシュ禁止が解除され、ANDゲート168が開いてリフレッシュ要求発生回路162からのリフレッシュ要求信号がリフレッシュ用パルス発生回路170に入力され、その時点からリフレッシュ動作が開始される。従って、リフレッシュ要求信号がメモリアクセス動作と衝突した場合には、メモリアクセス動作期間を規定するラッチコントロール信号LCが“H”レベルから“L”レベルへ立ち下がるまで、衝突したリフレッシュ要求を遅延させ、その後リフレッシュ動作を開始させる。

【0091】

この遅延時間は、高々メモリアクセス動作を規定するラッチコントロール信号LCが“H”レベルから“L”レベルへ立ち下がるまでの時間であって、メモリリフレッシュ周期と比較してきわめて短い時間であり、この遅延時間がメモリリフレッシュに影響を及ぼすことはない。また、リフレッシュ要求発生回路162は、ラッチコントロール信号LCが“L”レベルに立ち下がった時点より多少遅れてリフレッシュ要求信号を“H”レベルから“L”レベルに切り換えることにより、リフレッシュタイマー18からの次のリフレッシュ要求トリガに備える。

【0092】

図3～図4は、本発明の半導体記憶装置におけるメモリ読み出し動作とリフレッシュ動作の関係を示すタイミングチャートであり、図3はリフレッシュ要求が読み出し動作と衝突しない場合、図4はリフレッシュ要求が読み出し動作と衝突した場合を示している。以下、図1～図4を参照して本発明の動作を説明する。なおメモリ読み出し時にはビット線も選択されるが、図3～図4では、メモリ読み出し時におけるビット線選択動作については省略している。

【0093】

外部からアドレスA ϕ のメモリセルのデータ読み出し要求があると、そのアドレスA ϕ の内、Xアドレスはレイトライトレジスタ13に入力され、Yアドレスはレイトライトレジスタ14に入力される。レイトライトレジスタ13、14に入力されたアドレス信号の変化はATD信号としてリフレッシュコントロールパルス発生回路16のワンショットパルス発生回路161に入力され、ワンショットパルス発生回路161からワンショットパルスOSが出力される。このワンショ

ットパルスOSによりラッチ回路163が“H”レベルとなり、メモリアクセス用パルス発生回路171から出力されるラッチコントロール信号LCが“H”レベルに立ち上がることにより、レイトライトレジスタ13, 14内でアドレスA ϕ がラッチされる。

【0094】

また、ワンショットパルス発生回路161から出力されるワンショットパルスOSを遅延回路166で所定時間遅延した信号がメモリアクセス用パルス発生回路171に入力されると、メモリアクセス用パルス発生回路171からロウイネーブルノーマル信号RENがMUXコントロール回路22及びSE/PEコントロール回路23に出力される。MUXコントロール回路22にロウイネーブルノーマル信号RENが入力されると、MUXコントロール回路22からノーマルアドレス転送制御信号TNがMUX20に出力される。その結果MUX20からはレイトライトレジスタ13からの内部アドレスEX-ADDがワード線アドレスとしてXプリデコーダ35を経由してXデコーダ28に出力される。

【0095】

Xデコーダ28は、入力されたアドレスX-ADDをデコードして該当するワード線を活性化する。また、レイトライトレジスタ14にラッチされたYアドレスはそのままY-ADDとしてYプリデコーダ36を経由してYデコーダ25に出力され、データを読み出すビット線を選択する。一方、ロウイネーブルノーマル信号RENはSE/PEコントロール回路23にも入力され、選択されたビット線に接続されているセンスアンプ/プリチャージ回路を動作させて、メモリセルアレイ27内のアドレスA ϕ で示されるワード線とビット線の交点に位置するメモリセルに記憶されているデータQ ϕ を読み出し、ライトリードバスWRB、Dinレジスタ/Doutバッファ24を介して出力する。

【0096】

メモリ読み出し動作が終了するとラッチコントロール信号LCが“L”レベルに立ち下がり、この立ち下がりによりラッチ回路163～165がリセットされNORゲート167の出力は“H”レベルとなる。そして次のメモリアクセスが開始される前にリフレッシュタイマー18からリフレッシュ要求トリガが出力され

ると、リフレッシュ要求信号発生回路162の出力が“H”レベルとなり、リフレッシュ要求信号がANDゲート168を介してリフレッシュ用パルス発生回路170に入力される。その結果リフレッシュ用パルス発生回路170からロウイネーブルリフレッシュ信号RERFとリフレッシュアドレスカウントアップ信号が出力され、MUXコントロール回路22及びSE/PEコントロール回路23とリフレッシュアドレスカウンタ21にそれぞれ入力される。

【0097】

リフレッシュアドレスカウンタ21は、リフレッシュアドレスカウントアップ信号が入力されるとリフレッシュすべきXアドレスを例えば1カウントアップした値(A_n)を出力する。MUXコントロール回路22にロウイネーブルリフレッシュ信号RERFが入力されると、MUXコントロール回路22はMUX20に対してリフレッシュアドレス転送制御信号TREを出力する。MUX20にリフレッシュアドレス転送制御信号TREが入力されるとMUX20は、リフレッシュアドレスカウンタ21からのリフレッシュアドレスRF-ADDを選択し、そのカウント値(A_n)をリフレッシュアドレスとしてXプリデコーダ35を経由してXデコーダ28に出力する。Xデコーダ28はこのリフレッシュアドレス(A_n)で指定されるワード線を活性化する。

【0098】

リフレッシュ動作の場合、Yアドレスは指定されないので、SE/PEコントロール回路23は、ロウイネーブルリフレッシュ信号RERFが入力されると全てのセンスアンプ/プリチャージ回路26を動作させるための信号を出力する。従って、MUX20から出力されるXアドレス(A_n)で指定されるワード線に接続されている全てのメモリセルに対するリフレッシュ(再書き込み)動作が各ビット線に接続されたセンスアンプ/プリチャージ回路により実行される。なお、図3に示されているように、リフレッシュ動作が実行されている最中に次のメモリアクセス要求があっても、実際にメモリアクセスを実行するロウイネーブルノーマル信号RENは、遅延回路166により予め遅らせて立ち上がるように構成されているので、メモリアクセス動作はリフレッシュ動作を意識することなく実行される。

【 0 0 9 9 】

次に、読み出し動作を実行中にリフレッシュタイマー 1 8 からリフレッシュ要求トリガが出力され、リフレッシュ要求信号が“H”レベルに立ち上がった場合（図 4）には、メモリアクセス用パルス発生回路 1 7 1 から出力されているラッチコントロール信号 LC は未だ“H”レベルであるので NOR ゲート 1 6 7 の出力は“L”レベルとなっており、リフレッシュ要求信号は AND ゲート 1 6 8 によって阻止されるためリフレッシュ用パルス発生回路 1 7 0 からロウイネーブルリフレッシュ信号 RERF およびリフレッシュアドレスカウンタアップ信号は出力されない。

【 0 1 0 0 】

その後、メモリ読み出し動作が終了してラッチコントロール信号 LC が“L”レベルに立ち下がるとこの立ち下がりによりラッチ回路 1 6 3 ～ 1 6 5 がリセットされ NOR ゲート 1 6 7 が“H”レベルに立ち上がるので、その時点でリフレッシュ要求信号が AND ゲート 1 6 8 を通過してリフレッシュ用パルス発生回路 1 7 0 に入力される。従って、リフレッシュ用パルス発生回路 1 7 0 にはメモリアクセス動作が終了するまで遅延されたリフレッシュ要求信号が入力され、リフレッシュ用パルス発生回路 1 7 0 はこの遅延されたリフレッシュ要求信号が入力された後ロウイネーブルリフレッシュ信号 RERF およびリフレッシュアドレスカウンタアップ信号を出力する。以降のリフレッシュ動作は図 3 に示した動作と同様である。

【 0 1 0 1 】

なお、図 3 及び図 4 のタイミングチャートでは読み出し動作とリフレッシュ動作の関係だけを示しているが、書き込み動作とリフレッシュ動作の関係も基本的には同様である。但し、書き込みはレイトライト書き込みを行っているので、書き込み時は、書き込みイネーブル信号/WE が“L”レベルに立ち下がったときにメモリアクセス用パルス発生回路 1 7 1 からロウイネーブルノーマル信号 REN が発生し、レイトライトレジスタ 1 3, 1 4 に格納されている前回の書き込み要求時に取り込まれたアドレスに対して、Din レジスタ/Dout バッファ 2 4 のデータレジスタに格納されている前回の書き込み要求時に取り込まれたデータが書き込

まれる。

【0102】

そして、書き込みイネーブル信号/WEが“H”レベルに立ち上がったときにDinレジスタ用クロックCLKにより今回の書き込みデータをDinレジスタ/Doutバッファ24のデータレジスタに取り込む。またメモリ読み出し時に、今回のメモリ読み出し要求アドレスが、以前の書き込み要求に対して未だ書き込まれていないデータの書き込みアドレスと一致した場合には、上記のバイパス動作を行い、Dinレジスタ/Doutバッファ24のデータレジスタに格納されているデータを読み出して出力し、メモリセルアレイ27から読み出されたデータは廃棄する。

【0103】

図5は、本実施形態において用いられるレイトライトレジスタ13、14のビット単位の構成を示すブロック図である。レイトライトレジスタ13、14はこの構成をそれぞれXアドレス、Yアドレスのビット幅分備えている。

【0104】

図5において、アドレスラッチ（以下、ADD-Latchという）131は、リフレッシュコントロールパルス発生回路16からのラッチコントロール信号LCが“L”レベルである間（ラッチコントロール信号LCが立ち下がったときから次に立ち上がるまでの間）はアドレスバッファ11、12から供給されているアドレスをそのまま内部アドレスとして出力し、アドレスバッファ11、12から供給されているアドレスをラッチコントロール信号LCの立ち上がりで取り込んでラッチコントロール信号LCが“H”レベルである間これを保持するとともに、保持しているアドレスを内部アドレスとして出力する。

【0105】

書き込み用アドレスラッチ（以下、W-Latchという）132は、ADD-Latch131から出力される内部アドレスを、R/Wコントロール回路15からの書き込みラッチコントロール信号LCWEの立ち上がりで取り込んで保持し、W-Latch133は、W-Latch132で保持されている内部アドレスを、上記LCWEの立ち下がりで取り込んで保持する。読み出し用アドレスラッチ（以下、R-Latchという）134は、ADD-Latch131から出力される内部アドレスを、R/Wコントロール回

路 1 5 からの読み出しラッチコントロール信号LCREの立ち上がりで取り込んで保持する。

【0 1 0 6】

トランスファスイッチ 1 3 5 は、R/Wコントロール回路 1 5 からの書き込みラッチコントロール信号LCWEが“H”レベルである間導通してW-Latch 1 3 3 に保持されている内部アドレスを出力する。トランスファスイッチ 1 3 6 は、R/Wコントロール回路 1 5 からの読み出しラッチコントロール信号LCREが“H”レベルである間導通してADD-Latch 1 3 1 に保持されている内部アドレスを出力する。排他的論理和回路 1 3 7 は、W-Latch 1 3 2 で保持されている内部アドレスとR-Latch 1 3 4 で保持されている内部アドレスとを比較し、両者が一致しているとき“L”レベルとなり、インバータ 1 3 9 を介して“H”レベルのアドレスヒット信号ADDHITを出力する。

【0 1 0 7】

ラッチ回路 1 3 8 は、トランスファスイッチ 1 3 5 又は 1 3 6 を介して出力された書き込みアドレス又は読み出しアドレスを保持する。保持されたアドレスは、Xプリデコーダ 3 5 又はYプリデコーダ 3 6 を介してメモリアクセスアドレスとしてXデコーダ 2 8 又はYデコーダ 2 5 へ出力される。また、ADD-Latch 1 3 1 の出力信号は、アドレス変化信号ADDATDとしてリフレッシュコントロールパルス発生回路 1 6 内のワンショットパルス発生回路 1 6 1 に出力される。

【0 1 0 8】

図 6 は、図 5 に示されたレイトライトレジスタの動作を説明するためのタイミングチャートである。以下、図 5 ～図 6 を参照して本実施形態におけるレイトライトレジスタの動作を説明する。なお、図 6 のタイミングチャートでは、書き込み要求が少なくとも 2 回継続しその後読み出し要求が継続している場合の例を示している。

【0 1 0 9】

外部からアドレス A 1 のメモリセルへのデータ書き込み要求があると、レイトライトレジスタに入力されたアドレス信号の変化はADD-Latch 1 3 1 をスルーしてADDATD信号としてリフレッシュコントロールパルス発生回路 1 6 のワンショッ

トパルス発生回路 1 6 1 に出力され (図 2)、リフレッシュコントロールパルス発生回路 1 6 からはラッチコントロール信号 LC が出力される。ADD-Latch 1 3 1 はこのラッチコントロール信号 LC により書き込みアドレス A 1 をラッチする。W-Latch 1 3 2 は、ラッチコントロール信号 LC と同期した書き込みラッチコントロール信号 LCWE の立ち上がりで書き込みアドレス A 1 を取り込んで保持し、W-Latch 1 3 3 は、W-Latch 1 3 2 で保持されている書き込みアドレス A 1 を、上記 LCWE の立ち下がり取り込んで保持する。

【 0 1 1 0 】

トランスファスイッチ 1 3 5 は、上記 LCWE が “H” レベルの時オンして W-Latch 1 3 3 で保持されている書き込みアドレス A 1 をラッチ回路 1 3 8 へ転送する。従って、W-Latch 1 3 2 が書き込みアドレス A 1 を取り込んだ時点では、この書き込みアドレス A 1 はラッチ回路 1 3 8 へは転送されない。次に、外部からアドレス A 2 のメモリセルへのデータ書き込み要求があると、同様にしてリフレッシュコントロールパルス発生回路 1 6 からラッチコントロール信号 LC が出力され、ADD-Latch 1 3 1 はこのラッチコントロール信号 LC により書き込みアドレス A 2 をラッチする。

【 0 1 1 1 】

W-Latch 1 3 2 は、ラッチコントロール信号 LC と同期した書き込みラッチコントロール信号 LCWE の立ち上がりで書き込みアドレス A 2 を取り込んで保持するが、このとき、この書き込みラッチコントロール信号 LCWE によりトランスファスイッチ 1 3 5 がオンして、W-Latch 1 3 3 で保持されている書き込みアドレス A 1 をラッチ回路 1 3 8 へ転送する。従って、書き込みアドレス A 2 がラッチされた時点で、それ以前に入力されて W-Latch 1 3 3 で保持されていた書き込みアドレス A 1 がメモリアクセス用アドレスとして X デコーダ 2 8 及び Y デコーダ 2 5 に入力されることになり、レイトライトによる書き込みが実行される。また、W-Latch 1 3 3 は W-Latch 1 3 2 で保持されている次の書き込みアドレス A 2 を、上記 LCWE の立ち下がり取り込んで保持する。

【 0 1 1 2 】

次に、外部からアドレス A 3 のメモリセルのデータ読み出し要求があると、同

様にリフレッシュコントロールパルス発生回路16からラッチコントロール信号LCが出力され、ADD-Latch131はこのラッチコントロール信号LCにより読み出しアドレスA3をラッチする。R-Latch134は、ラッチコントロール信号LCと同期した読み出しラッチコントロール信号LCREの立ち上がりで読み出しアドレスA3を取り込んで保持し、該保持した読み出しアドレスA3を排他的論理和回路137へ出力する。排他的論理和回路137は、該入力された読み出しアドレスA3とW-Latch132で保持されている書き込みアドレスA2とを比較するが、この場合両者は不一致であるのでその出力は“H”レベルとなり、インバータ139から出力されるアドレスヒット信号ADDHITは不一致を示す“L”レベルとなる。また、この読み出しラッチコントロール信号LCREによりトランスファスイッチ136がオンして、ADD-Latch131で保持された読み出しアドレスA3はラッチ回路138へ転送される。

【0113】

次に、外部からアドレスA2のメモリセルのデータ読み出し要求があると、同様にリフレッシュコントロールパルス発生回路16からラッチコントロール信号LCが出力され、ADD-Latch131はこのラッチコントロール信号LCにより読み出しアドレスA2をラッチする。R-Latch134は、ラッチコントロール信号LCと同期した読み出しラッチコントロール信号LCREの立ち上がりで読み出しアドレスA2を取り込んで保持し、該保持した読み出しアドレスA2を排他的論理和回路137へ出力する。排他的論理和回路137は、該入力された読み出しアドレスA2とW-Latch132で保持されている書き込みアドレスA2とを比較するが、この場合両者は一致しているのでその出力は“L”レベルとなり、インバータ139からは一致を示す“H”レベルがアドレスヒット信号ADDHITとして出力される。

【0114】

このアドレスヒット信号ADDHITはアドレスヒットコントロール回路19（図1）に入力される。アドレスヒットコントロール回路19はアドレスヒット信号ADDHITとして“H”レベルが入力されたときには、Dinレジスタ/Doutバッファ24に対するヒット信号HITを“H”レベルにして、Dinレジスタ内に格納されてい

るデータを読み出しデータとして出力するように制御する。なおこの場合読み出しラッチコントロール信号LCREによりトランスファスイッチ136がオンして、ADD-Latch131で保持されている読み出しアドレスA2はラッチ回路138へ転送され、アドレスA2のメモリセルのデータも読み出されるが、この読み出されたデータは廃棄される。

【0115】

図7は、本実施形態において用いられるDinレジスタ/Doutバッファ24のビット単位の構成を示すブロック図である。Dinレジスタ/Doutバッファ24は、この構成をデータのビット幅分備えている。

【0116】

図7において、データ取り込み用レジスタ（以下、D-Registerという）241は、データI/Oコントロール回路17からのデータ取り込み用内部クロックDCKの立ち下がりデータ入力端子に入力されたデータを取り込む。このデータ取り込み用内部クロックDCKは、書き込みイネーブル信号/WEの立ち上がりエッジから作られる。データ書き込み用ラッチ（以下、D-Latchという）242は、データI/Oコントロール回路17からのデータ書き込み用内部クロックWEINTが“L”レベルである間はD-Register241に格納されているデータをそのまま出力し、データ書き込み用内部クロックWEINTの“H”レベルへの立ち上がり時点でのデータをラッチし、インバータ243を介してデータ書き込み読み出し用バス（以下、バスWRBという）へ出力する。

【0117】

インバータ243は、データ書き込み用内部クロックWEINTの“H”レベルのとき動作状態となって、D-Latch242でラッチされたデータをバスWRBへ転送する。トランスファスイッチ244は、アドレスヒットコントロール回路19からアドレス一致を示す“H”レベルのHIT信号が入力されたときオンとなり、D-Register241に格納されているデータを、インバータ246を介してデータ出力端子へ出力する。一方、トランスファスイッチ245は、アドレスヒットコントロール回路19からアドレス不一致を示す“L”レベルのHIT信号が入力されたときオンとなり、メモリセルアレイ27からバスWRBに読み出されたデー

タを、インバータ 2 4 6 を介してデータ出力端子へ出力する。

【 0 1 1 8 】

図 8 は、図 7 に示された Din レジスタ/Dout バッファの動作を説明するためのタイミングチャートである。以下、図 7 ～ 図 8 を参照して本実施形態における Din レジスタ/Dout バッファの動作を説明する。なお、図 8 のタイミングチャートでは、書き込み要求が 2 回継続しその後読み出し要求が継続している場合の例を示している。

【 0 1 1 9 】

外部からアドレス A 1 のメモリセルへデータ D 1 の書き込み要求があると、書き込みイネーブル信号/WE が立ち下がり、この/WE の立ち下がりによりデータ書き込み用内部クロック WEINT が “H” レベルとなり、D-Latch 2 4 2 はそれまで D-Register 2 4 1 に格納されていたデータ D x をラッチし、インバータ 2 4 3 は該ラッチしたデータ D x を書き込みデータとしてバス WRB に転送する。その後、書き込みイネーブル信号/WE が立ち上がり、データ取り込み用内部クロック DCK が立ち下がる時点でデータ入力端子からのデータ D 1 が D-Register 2 4 1 に格納される。この時点では、データ書き込み用内部クロック WEINT は “L” レベルであるので、D-Latch 2 4 2 はデータをラッチせず、インバータ 2 4 3 は不動作状態であるのでデータ D 1 はバス WRB には転送されない。

【 0 1 2 0 】

次に、外部からアドレス A 2 のメモリセルへのデータ D 2 の書き込み要求があると、書き込みイネーブル信号/WE が立ち下がり、この/WE の立ち下がりによりデータ書き込み用内部クロック WEINT が “H” レベルとなり、D-Latch 2 4 2 はそれまで D-Register 2 4 1 に格納されていたデータ D 1 をラッチし、インバータ 2 4 3 は該ラッチしたデータ D 1 を書き込みデータとしてバス WRB へ転送する。その後、書き込みイネーブル信号/WE が立ち上がり、データ取り込み用内部クロック DCK が立ち下がる時点でデータ入力端子からのデータ D 2 が D-Register 2 4 1 に格納される。この時点では、データ書き込み用内部クロック WEINT は “L” レベルであるので、D-Latch 2 4 2 はデータをラッチせず、インバータ 2 4 3 は不動作状態であるのでデータ D 2 はバス WRB には転送されない。

【 0 1 2 1 】

次に、外部からアドレス A 3 のメモリセルからのデータの読み出し要求があると、出力イネーブル信号/OEが立ち下がり、この/OEの立ち下がりによりアドレス A 3 のメモリセルからのデータの読み出しが行われる。またこのとき、アドレスヒットコントロール回路 1 9 からのHIT信号はアドレス不一致を示す“L”レベルであるので、トランスファスイッチ 2 4 4 はオフ、トランスファスイッチ 2 4 5 はオンとなり、メモリセルアレイ 2 7 内のアドレス A 3 のメモリセルからバス WRB 上に読み出されたデータがインバータ 2 4 6 を介してデータ出力端子へ出力される。

【 0 1 2 2 】

次に、外部からアドレス A 2 のメモリセルからのデータの読み出し要求があると、出力イネーブル信号/OEが立ち下がり、この/OEの立ち下がりによりアドレス A 2 のメモリセルからのデータの読み出しが行われる。しかしながらこのとき、アドレスヒットコントロール回路 1 9 からのHIT信号はアドレス一致を示す“H”レベルとなっているので、トランスファスイッチ 2 4 4 がオン、トランスファスイッチ 2 4 5 はオフとなる。従って、D-Register 2 4 1 に格納されて未だメモリセルアレイ 2 7 内のメモリセルに書き込まれていないデータ D 2 がトランスファスイッチ 2 4 4、インバータ 2 4 6 を介してデータ出力端子へ出力される。

【 0 1 2 3 】

そしてメモリセルアレイ 2 7 内のアドレス A 2 のメモリセルから読み出されたデータはトランスファスイッチ 2 4 5 でその出力が阻止されて廃棄される。なお、D-Register 2 4 1 に格納されて未だメモリセルに書き込まれていないデータ D 2 は、外部から次の書き込み要求が来るまでD-Register 2 4 1 格納されており、書き込み要求が来たときに、メモリセルアレイ 2 7 内のアドレス A 2 にレイトライトで書き込まれる。

【 0 1 2 4 】

図 9 は、本実施形態において用いられるマルチプレクサ (MUX) 2 0 のビット単位の構成を示すブロック図である。MUX 2 0 は、この構成を X アドレスのビット幅分備えている。

【 0 1 2 5 】

図 9 において、トランスファスイッチ 2 0 1 は、M U X コントロール回路 2 2 から出力されるノーマルアドレス転送制御信号 T N が “ H ” レベルのときオンとなって、X アドレス用レイトライトレジスタ 1 3 から出力される内部アドレス E X - A D D をラッチ回路 2 0 3 へ転送する。トランスファスイッチ 2 0 2 は、M U X コントロール回路 2 2 から出力されるリフレッシュアドレス転送制御信号 T R E が “ H ” レベルのときオンとなって、リフレッシュアドレスカウンタ 2 1 から出力されるリフレッシュアドレス R F - A D D をラッチ回路 2 0 3 へ転送する。ラッチ回路 2 0 3 は、トランスファスイッチ 2 0 1 またはトランスファスイッチ 2 0 2 を介して転送された内部アドレス E X - A D D またはリフレッシュアドレス R F - A D D を保持し、X アドレス X - A D D として X プリデコーダ 3 5 を介して X デコーダ 2 8 に出力する。

【 0 1 2 6 】

ノーマルアドレス転送制御信号 T N またはリフレッシュアドレス転送制御信号 T R E は、アドレスを取り込むときのみ “ H ” レベルとなり、その期間だけトランスファスイッチ 2 0 1 またはトランスファスイッチ 2 0 2 をオンにして内部アドレス E X - A D D またはリフレッシュアドレス R F - A D D をラッチ回路 2 0 3 に転送制御し、その期間以外の間はノーマルアドレス転送制御信号 T N およびリフレッシュアドレス転送制御信号 T R E を “ L ” レベルとすることにより、X アドレス用レイトライトレジスタ 1 3 あるいはリフレッシュアドレスカウンタ 2 1 からの不必要な電流出力を制限して低消費電流化を図っている。

【 0 1 2 7 】

図 1 0 は、図 9 に示された M U X 回路の動作を説明するためのタイミングチャートである。以下、図 9 ～ 図 1 0 を参照して本実施形態における M U X 回路の通常の読み出し／書き込み（ノーマルリード／ライト）時と、メモリリフレッシュを行うスタンバイモード時における動作を説明する。なお、図 1 0 ではメモリ読み出し（リード）時の動作が示されているが、書き込み（ライト）時もレイトライト動作が行われる点を除いて基本的な動作は同様である。

【 0 1 2 8 】

ノーマルリード時において、外部からアドレス A 1 のメモリセルへのメモリア

クセス要求があると、このアドレス変化により、Xアドレス用レイトライトレジスタ13から内部アドレスEX-ADDとしてアドレスA1が出力される。一方、このアドレス変化により、リフレッシュコントロールパルス発生回路16からMUXコントロール回路22に対してロウイネーブルノーマル信号RENが出力される。MUXコントロール回路22はロウイネーブルノーマル信号RENの入力を受けて、一定期間だけ“H”レベルとなるノーマルアドレス転送制御信号TNをトランスファスイッチ201へ出力する。ラッチ回路203は、ノーマルアドレス転送制御信号TNが“H”レベルの期間にトランスファスイッチ201を介して入力されたアドレスA1をラッチし、XアドレスA1として出力する。

【0129】

次に、外部からアドレスA3のメモリセルへのメモリアクセス要求があると、同様にして、ラッチ回路203は、ノーマルアドレス転送制御信号TNが“H”レベルの期間にトランスファスイッチ201を介して入力されたアドレスA3をラッチし、XアドレスA3として出力する。このとき、リフレッシュタイマー18からのリフレッシュ要求トリガが発生し、リフレッシュコントロールパルス発生回路16からロウイネーブルリフレッシュ信号RERFが出力されると、MUXコントロール回路22はこのロウイネーブルリフレッシュ信号RERFを受けて、一定期間だけ“H”レベルとなるリフレッシュアドレス転送制御信号TREをトランスファスイッチ202へ出力する。

【0130】

ラッチ回路203は、リフレッシュアドレス転送制御信号TREが“H”レベルの期間にトランスファスイッチ202を介して入力されたリフレッシュアドレスカウンタ21からのリフレッシュアドレスA_nをラッチし、XアドレスA_nとして出力する。その後、リフレッシュアドレスカウンタ21は、リフレッシュコントロールパルス発生回路16からのカウントアップ信号を受けてリフレッシュアドレスをA_n+1にカウントアップする。

【0131】

一方、リフレッシュ動作が行われるスタンバイモード時には、リフレッシュタイマー18から定期的にリフレッシュ要求トリガが発生し、それに伴って

リフレッシュコントロールパルス発生回路 1 6 からロウイネーブルリフッシュ信号 RERF が出力される。MUX コントロール回路 2 2 はこのロウイネーブルリフッシュ信号 RERF を受けて、一定期間だけ “H” レベルとなるリフレッシュアドレス転送制御信号 TRE をトランスファスイッチ 2 0 2 へ出力する。ラッチ回路 2 0 3 は、リフレッシュアドレス転送制御信号 TRE が “H” レベルの期間にトランスファスイッチ 2 0 2 を介して入力されたリフレッシュアドレスカウンタ 2 1 からのリフレッシュアドレス RF-ADD をラッチし、X アドレスとして出力する。

【 0 1 3 2 】

リフレッシュアドレスカウンタ 2 1 は、リフレッシュコントロールパルス発生回路 1 6 からのカウントアップ信号を受けてリフレッシュアドレスを順次カウントアップする。なお、リフレッシュタイマー 1 8 は、そのリフレッシュ要求トリガを発生するタイマー周期として、アクティブモード時におけるリフレッシュタイマー周期を、リフレッシュを伴うスタンバイモード時におけるリフレッシュタイマー周期よりも短く設定しており、外部からのモード切り換えに応じて切り換えられるようになっている。アクティブモード時にビット線がアクセスされると、ビット線の電位変動（ディスターブ）が増大して保持電位が不安定となるためにメモリ保持タイムが小さくなる傾向がある。従って、アクティブモード時にはリフレッシュを伴うスタンバイモード時よりもリフレッシュ周期を短くし、各モードに最適なりフレッシュタイマー周期を設定している。

【 0 1 3 3 】

図 1 1 は、本実施形態において用いられるマルチプレクサ (MUX) 2 0 他の構成を示すビット単位のブロック図である。この構成は、メモリチップを複数（図は 4 個の例）のサブアレーに分割し、サブアレー毎に独立した X デコーダ、Y デコーダおよびセンスアンププリチャージ回路を備えている場合に適用される。この場合、リフレッシュ時に各サブアレーからそれぞれ 1 本のワード線を選択するマルチワード選択を行うことにより、1 回のワード線活性化動作で複数のワード線を活性化できるので、コントロール回路部分の動作回数を減らすことが可能でありその分低消費電力化を図ることが出来る。

【 0 1 3 4 】

図 1 1 では、プリデコーダ 2 0 4 は、レイトライトレジスタ 1 3 から入力された内部アドレス EX-ADD の上位 2 ビットをデコードすることにより、4 個のサブアレー宛の X アドレス SX-ADD を出力する。プリデコーダ 2 0 4 の各サブアレー宛の出力端に接続された各トランスファスイッチ 2 0 1 は、MUX コントロール回路 2 2 から出力されるノーマルアドレス転送制御信号 TN が “H” レベルのときオンとなって、各サブアレー宛の X アドレス SX-ADD を各ラッチ回路 2 0 3 へ転送する。各トランスファスイッチ 2 0 2 は、MUX コントロール回路 2 2 から出力されるリフレッシュアドレス転送制御信号 TRE が “H” レベルのときオンとなって、リフレッシュアドレスカウンタ 2 1 から出力されるリフレッシュアドレス SRF-ADD を各ラッチ回路 2 0 3 へ転送する。

【 0 1 3 5 】

各ラッチ回路 2 0 3 は、トランスファスイッチ 2 0 1 またはトランスファスイッチ 2 0 2 を介して転送された各サブアレー宛の X アドレス SX-ADD またはリフレッシュアドレス SRF-ADD を保持し、X アドレス X-ADD として各サブアレーの X デコーダ 2 8 に出力する。図 1 1 の構成によれば、メモリリフレッシュは、プリデコーダ 2 0 4 によるプリデコード後のデコード信号に対応するリフレッシュアドレスカウンタ 2 1 を備えればよく、また、複数のサブアレーから選択されたワード線の活性化制御を同時に実行できるので、ワード線活性化制御のための動作を減らすことができる。ワード線活性化制御動作自体電力消費を伴うのでその制御動作回数を減らせばその分消費電力を減らすことができる。

【 0 1 3 6 】

図 1 2 は、本発明の第 2 の実施形態による半導体記憶装置の構成を示すブロック図である。本実施形態は、第 1 の実施形態に対して、汎用の DRAM などで採用されているページモードと同様の機能を付加したものである。本実施形態は、Y アドレスのビット幅がページアドレスと直接メモリセルアレイをアクセスするアドレスとに分割されている点を除いて、図 1 に示す第 1 の実施形態と同一番号が付されているブロックは同じ構成要素からなっているので、重複する部分についてはその詳細説明を省略する。

【 0 1 3 7 】

本実施形態では、Yアドレスを上位ビット側のアドレスY3～Y8と下位ビット側のアドレスY0～Y2（ページアドレス）に分割することにより、上位ビット側のアドレスを同じくするビットについてはページアドレスを変えるだけで連続して入出力可能にしている。図に示す実施例では、ページアドレスを3ビット幅としているので、“000”B～“111”B（「B」は2進数を意味する）の範囲で可変することにより、連続する8アドレス分のデータを同じメモリサイクル内で連続的にアクセス可能となる。なお、ページアドレスの幅はYアドレスのビット幅の範囲内であれば任意に設定できる。

【0138】

図12において、Yアドレスは9ビットの内3ビットをページアドレスとしているので、アドレスバッファ12はビット幅が6ビットとなり、下位3ビットはアドレスバッファ41に入力される。これらのアドレスバッファ11, 12, 41は、それぞれアドレスのビット幅が異なる点を除いて同様の構成となっている。また、実施例では下位3ビットをページアドレスとしているので、メモリセルアレイ27からは同時に8本のビット線が選択されて連続的に読み出しあるいは書き込みが行われる。そこで、バスWRBと各ビット線のセンスアンプ／プリチャージ回路26間の接続切り替えを行うために、読み出しページアドレス用Yデコーダ43、書き込みページアドレス用Yデコーダ44、およびページ書き込み読み出し回路45を備えている。

【0139】

アドレスバッファ41の出力は、ページアドレスレジスタ42に入力される。ページアドレスレジスタは後述するように、ATD出力は有しておらず、ラッチコントロール信号LCによるアドレスラッチ、及び読み出しラッチコントロール信号LCREによるアドレスラッチも不要である。ページアドレスレジスタ42からの読み出し用ページアドレスは読み出しページアドレス用Yデコーダ43に入力され、ページアドレスレジスタ42からの書き込み用ページアドレスは書き込みページアドレス用Yデコーダ44に入力される。読み出しページアドレス用Yデコーダ43および書き込みページアドレス用Yデコーダ44のデコード出力はページ書き込み読み出し回路45に入力される。

【0140】

ページ書き込み読み出し回路45は、その出力端子がページ毎に共通のページアドレスを有するセンスアンプと接続され、Dinレジスタ/Doutバッファ24からのデータを増幅する8個の書き込みアンプ(W-Amp)と、その入力端子がページ毎に共通のページアドレスを有するセンスアンプと接続され、メモリセルアレイから読み出されたデータを格納し増幅してDinレジスタ/Doutバッファ24へ出力する8個の読み出しデータアンプ(D-Reg+D-Amp)とを備えている。これら8個のW-AmpおよびD-Reg+D-Ampは、入力された書き込みページアドレスまたは読み出しページアドレスを、書き込みページアドレス用Yデコーダ44または読み出しページアドレス用Yデコーダ43でデコードすることにより選択されたW-AmpまたはD-Reg+D-Ampのみが活性化されてデータ取り込み用内部クロックDCKあるいはデータ書き込み用内部クロックWEINTにより制御されて動作し、バスWRBから入力された書き込みデータを該当ビット線へ出力し、または該当ビット線に読み出されたデータをバスWRBへ出力する。

【0141】

図13は、本実施形態において用いられるページアドレスレジスタ42のビット単位の構成を示すブロック図である。図13において、書き込み用アドレスラッチ(W-Latch)151は、アドレスバッファ41から出力されるページアドレスを、R/Wコントロール回路15からの書き込みラッチコントロール信号LCWEの立ち上がりで取り込んで保持し、W-Latch152は、W-Latch151で保持されている内部ページアドレスを、上記LCWEの立ち下がり取り込んで保持する。トランスファスイッチ153は、R/Wコントロール回路15からの書き込みラッチコントロール信号LCWEが“H”レベルである間導通してW-Latch152に保持されている内部ページアドレスを出力する。

【0142】

排他的論理和回路154は、W-Latch151で保持されている内部ページアドレスとアドレスバッファ41から出力されるページアドレスとを比較し、両者が一致しているとき“L”レベルとなり、インバータ156を介して“H”レベルのアドレスヒット信号ADDHITを出力する。ラッチ回路155は、トランスファス

イッチ 1 5 3 を介して出力された書き込みアドレスを保持し書き込みページアドレス用 Y デコーダ 4 4 へ出力する。また、読み出し時には、アドレスバッファ 4 1 から出力されるアドレスがページアドレスとしてインバータ 1 5 7 を介して直接、読み出しページアドレス用 Y デコーダ 4 3 に出力する。

【 0 1 4 3 】

図 1 4 は、図 1 3 に示されたページアドレスレジスタの動作を説明するためのタイミングチャートである。以下、図 1 3 ～ 図 1 4 を参照して本実施形態におけるレイトライトレジスタの動作を説明する。なお、図 1 3 のタイミングチャートでは、書き込み要求が 2 回継続しその後読み出し要求が継続した場合の例を示している。

【 0 1 4 4 】

外部からアドレス A 1 のメモリセルへのデータ書き込み要求があると、レイトライトレジスタ 1 3, 1 4 に入力されたアドレス信号の変化により、ADDATD 信号がリフレッシュコントロールパルス発生回路 1 6 に出力され（図 2）、リフレッシュコントロールパルス発生回路 1 6 からはラッチコントロール信号 LC が出力される。W-Latch 1 5 1 は、このラッチコントロール信号 LC と同期した書き込みラッチコントロール信号 LCWE の立ち上がりで書き込みアドレス A 1 のページアドレスを取り込んで保持し、W-Latch 1 5 2 は、W-Latch 1 5 1 で保持されている書き込みアドレス A 1 のページアドレスを、上記 LCWE の立ち下がり取り込んで保持する。トランスファスイッチ 1 5 3 は、上記 LCWE が “H” レベルの時オンして W-Latch 1 5 1 で保持されている書き込みアドレス A 1 のページアドレスをラッチ回路 1 5 5 へ転送する。従って、W-Latch 1 5 1 が書き込みアドレス A 1 のページアドレスを取り込んだ時点では、この書き込みアドレス A 1 のページアドレスはラッチ回路 1 5 5 へは転送されない。

【 0 1 4 5 】

次に、外部からアドレス A 2 のメモリセルへのデータ書き込み要求があると、同様にリフレッシュコントロールパルス発生回路 1 6 からラッチコントロール信号 LC が出力され、W-Latch 1 5 1 は、このラッチコントロール信号 LC と同期した書き込みラッチコントロール信号 LCWE の立ち上がりで書き込みアドレス A 2

のページアドレスを取り込んで保持するが、このとき、この書き込みラッチコントロール信号LCWEによりトランスファスイッチ153がオンして、W-Latch151で保持されている以前の書き込みアドレスA1のページアドレスをラッチ回路155へ転送する。従って、書き込みアドレスA2のページアドレスがラッチされた時点で、それ以前に入力されてW-Latch151で保持されていた書き込みアドレスA1のページアドレスが書き込み用ページアドレスとして、書き込みページアドレス用Yデコーダ44に入力され、レイトライトによる書き込みが実行される。また、W-Latch152はW-Latch151で保持されている次の書き込みアドレスA2のページアドレスを上記LCWEの立ち下がりを取り込んで保持する。

【0146】

次に、外部からアドレスA3のメモリセルのデータ読み出し要求があると、同様にリフレッシュコントロールパルス発生回路16からラッチコントロール信号LCが出力されるが、ページアドレスレジスタには読み出しラッチコントロール信号LCREは入力されず、従って、この読み出しアドレスA3のページアドレスはそのまま排他的論理和回路154に入力されるとともにインバータ157を介して読み出し用ページアドレスとして、読み出しページアドレス用Yデコーダ44へ出力される。排他的論理和回路154は、該入力された読み出しアドレスA3のページアドレスとW-Latch151で保持されている書き込みアドレスA2のページアドレスとを比較するが、この場合両者は不一致であるのでその出力は“H”レベルとなり、インバータ156から出力されるアドレスヒット信号ADDHITは不一致を示す“L”レベルである。

【0147】

次に、外部からアドレスA2のメモリセルのデータ読み出し要求があると、同様に、この読み出しアドレスA2のページアドレスはそのまま排他的論理和回路154に入力されるとともにインバータ157を介して読み出し用ページアドレスとして、読み出しページアドレス用Yデコーダ44へ出力される。排他的論理和回路154は、該入力された読み出しアドレスA2のページアドレスとW-Latch151で保持されている書き込みアドレスA2のページアドレスとを比較するが、この場合両者は一致しているのでその出力は“L”レベルとなり、インバー

タ 1 5 6 からは一致を示す“H”レベルがアドレスヒット信号ADDHITとして出力される。このアドレスヒット信号ADDHITはアドレスヒットコントロール回路 1 9 (図 1 2) に入力される。アドレスヒットコントロール回路 1 9 はアドレスヒット信号ADDHITとして“H”レベルが入力されたときには、Dinレジスタ/Doutバッファ 2 4 に対して、Dinレジスタ内に格納されているデータを読み出しデータとして出力するように制御する。

【0 1 4 8】

図 1 5 は、本実施形態において用いられるアドレスヒットコントロール回路 1 9 の構成を示すブロック図である。アドレスヒットコントロール回路はANDゲート 1 9 1 と 1 9 2 から構成されている。ANDゲート 1 9 1 は、アドレスビット毎に図 5 によって構成されるレイトライトレジスタ 1 3, 1 4 の排他的論理和回路 1 3 7 から出力される全てのアドレスヒット信号ADDHITの論理積を出力する。ANDゲート 1 9 2 は、ANDゲート 1 9 1 の出力とページアドレスビット毎に図 1 3 によって構成されるページアドレスレジスタ 4 2 の排他的論理和回路 1 5 4 から出力される全てのアドレスヒット信号ADDHITの論理積を出力する。

【0 1 4 9】

ページアドレスレジスタでは、1 メモリサイクル内で複数のアドレスが入力される関係上全てのアドレスヒット信号ADDHITが出力されるまでに時間がかかる。そこで、ページアドレス以外のアドレスヒット信号ADDHITの論理積によるHIT判定信号HIT ϕ と、ページアドレスのアドレスヒット信号ADDHITとの論理積をとってHIT信号を出力することによってページアドレスからのHIT信号発生パスを高速にし、HIT信号出力の高速化及び安定化を図っている。

【0 1 5 0】

【発明の効果】

本発明は、メモリセルアレイに対するリフレッシュ動作をメモリセルアクセス動作とは独立に実行させ、リフレッシュ動作がメモリアクセス動作と衝突した場合には、リフレッシュ動作を当該衝突したメモリアクセス動作が終了するまで遅延させる手段を採用しているため、必要最小限のリフレッシュ動作を行うことによりリフレッシュ動作に伴う消費電力を減らすことを可能にするとともに、メモ

リアクセスに影響を与えることなく確実にリフレッシュ動作を実行させることができる。

【0151】

また、本発明では、メモリアクセスが書き込み要求であった場合にはレイトライトによる書き込み動作を行うので、当該衝突したメモリアクセスが読み出し要求又は書き込み要求のいずれであっても、当該メモリサイクル内で余裕を持ってリフレッシュ動作を実行することができ、メモリリフレッシュ動作を意識することなくメモリアクセスを行うことができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態による半導体記憶装置の構成を示すブロック図である。

【図2】

本実施形態におけるリフレッシュコントロールパルス発生回路の構成例を示すブロック図である。

【図3】

本実施形態の半導体記憶装置におけるメモリ読み出し動作とリフレッシュ動作の関係を示すタイミングチャートである。

【図4】

本実施形態の半導体記憶装置におけるメモリ読み出し動作とリフレッシュ動作の関係を示すタイミングチャートである。

【図5】

本実施形態において用いられるレイトライトレジスタのビット単位の構成を示すブロック図である。

【図6】

図5に示されたレイトライトレジスタの動作を説明するためのタイミングチャートである。

【図7】

本実施形態において用いられるDinレジスタ/Doutバッファのビット単位の構

成を示すブロック図である。

【図 8】

図 7 に示された Din レジスタ / Dout バッファの動作を説明するためのタイミングチャートである。

【図 9】

本実施形態において用いられるマルチプレクサ (MUX) のビット単位の構成を示すブロック図である。

【図 10】

図 9 に示された MUX 回路の動作を説明するためのタイミングチャートである。

【図 11】

本実施形態において用いられるマルチプレクサ (MUX) の他の構成を示すビット単位のブロック図である。

【図 12】

本発明の第 2 の実施形態による半導体記憶装置の構成を示すブロック図である。

【図 13】

第 2 の実施形態において用いられるページアドレスレジスタのビット単位の構成を示すブロック図である。

【図 14】

図 13 に示されたページアドレスレジスタの動作を説明するためのタイミングチャートである。

【図 15】

本実施形態において用いられるアドレスヒットコントロール回路 19 の構成を示すブロック図である。

【図 16】

従来の半導体記憶装置の構成を示すブロック図である。

【図 17】

従来の半導体装置の動作を説明するためのタイミングチャートである。

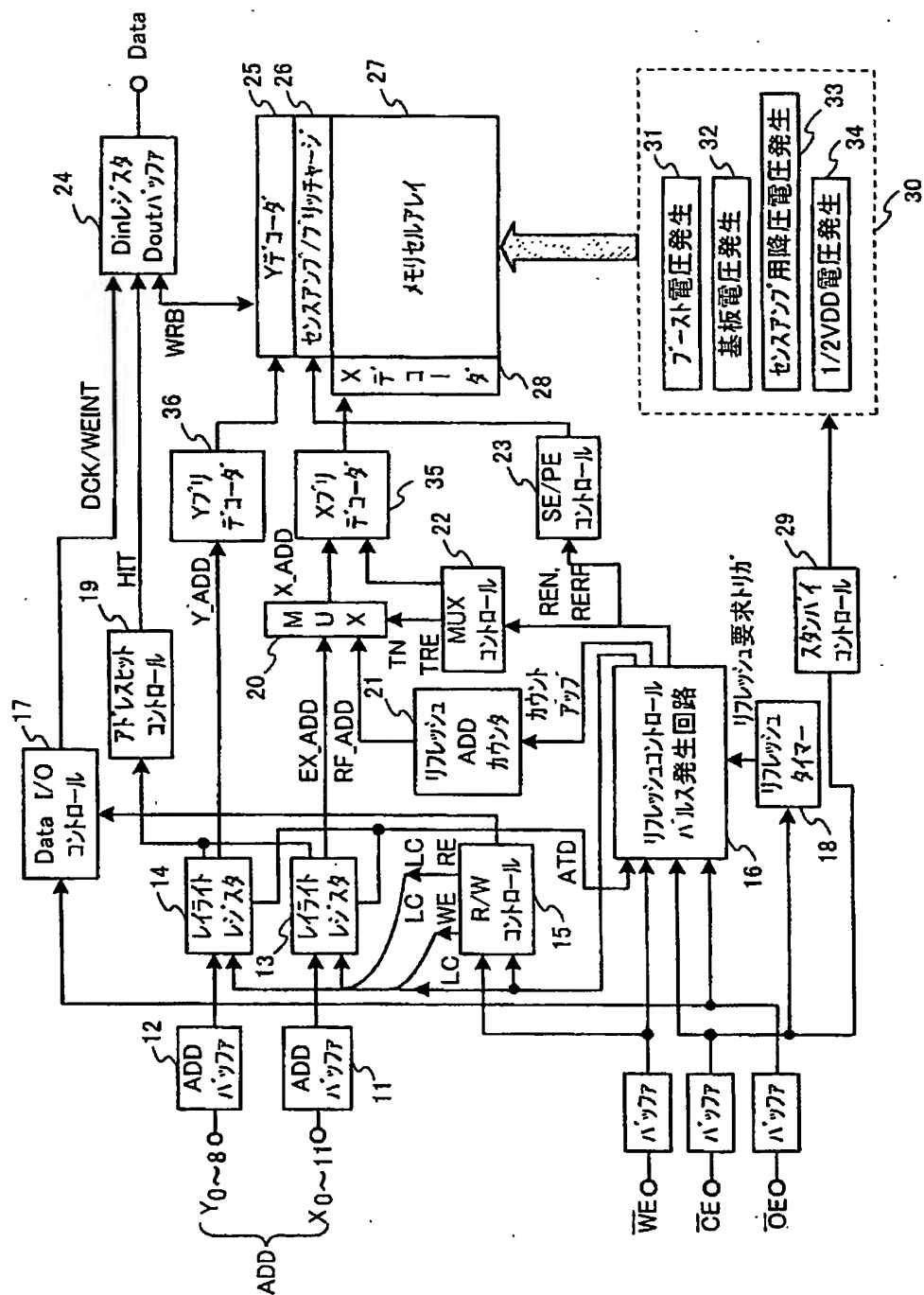
【符号の説明】

- 1 1, 1 2, 4 1 アドレスバッファ
- 1 3, 1 4 レイトライトレジスタ
- 1 5 R/Wコントロール回路
- 1 6 リフレッシュコントロールパルス発生回路
- 1 7 Data I/Oコントロール回路
- 1 8 リフレッシュタイマー
- 1 9 アドレスヒットコントロール回路
- 2 0 マルチプレクサ (MUX)
- 2 1 リフレッシュアドレスカウンタ
- 2 2 MUXコントロール回路
- 2 3 SE/PEコントロール回路
- 2 4 DinレジスタDoutバッファ
- 2 5, 4 3, 4 4 Yデコーダ
- 2 6 センスアンプ/プリチャージ回路
- 2 7 メモリセルアレイ
- 2 8 Xデコーダ
- 2 9 スタンバイコントロール回路
- 3 0 内部電圧発生回路
- 3 1 ブースト電圧発生回路
- 3 2 基板電圧発生回路
- 3 3 センスアンプ用降圧電圧発生回路
- 3 4 1/2 VDD電圧発生回路
- 3 5 Xプリデコーダ
- 3 6 Yプリデコーダ
- 4 2 ページアドレスレジスタ
- 4 5 ページ書き込み読み出し回路
- 1 3 1 アドレスラッチ (ADD-Latch)
- 1 3 2, 1 3 3, 1 5 1, 1 5 2 書き込みラッチ (W-Latch)

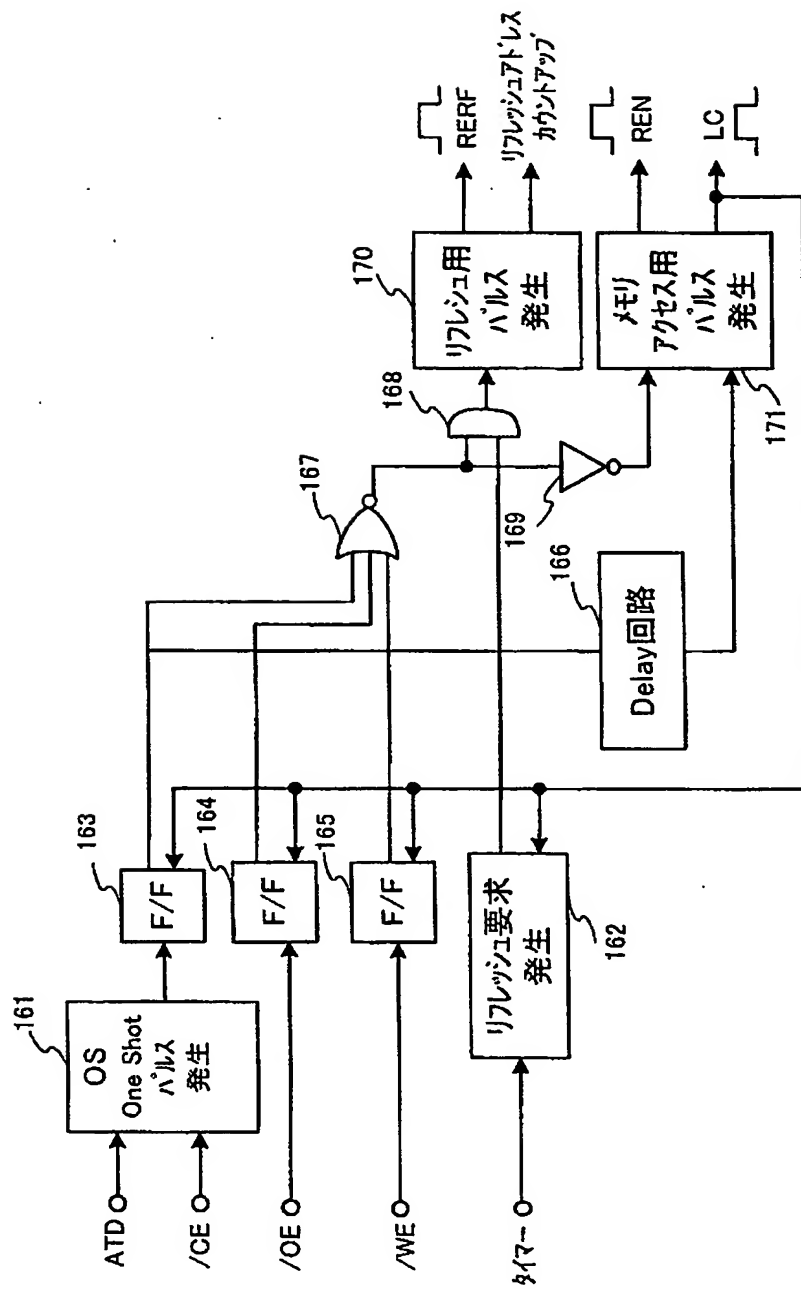
- 134 読み出しラッチ (R-Latch)
- 135, 136, 201, 202 トランスファスイッチ
- 137, 154 排他的論理和回路
- 138, 163~165, 155, 203 ラッチ回路
- 139, 140, 156, 157, 169 インバータ
- 161 ワンショットパルス発生回路
- 162 リフレッシュ要求発生回路
- 166 遅延回路
- 167 NOR回路
- 168, 191, 192 AND回路
- 170 リフレッシュ用パルス発生回路
- 171 メモリアクセス用パルス発生回路

図面

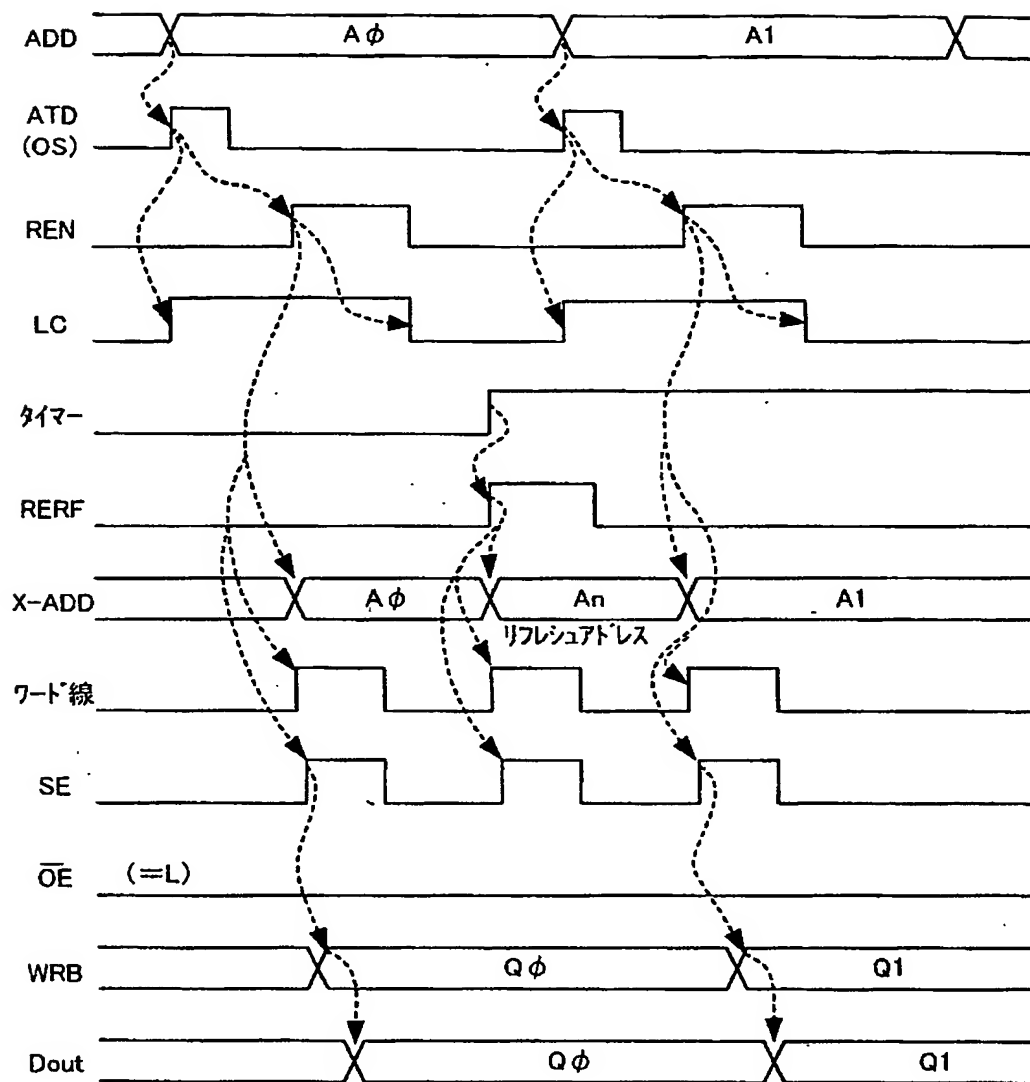
【図 1】



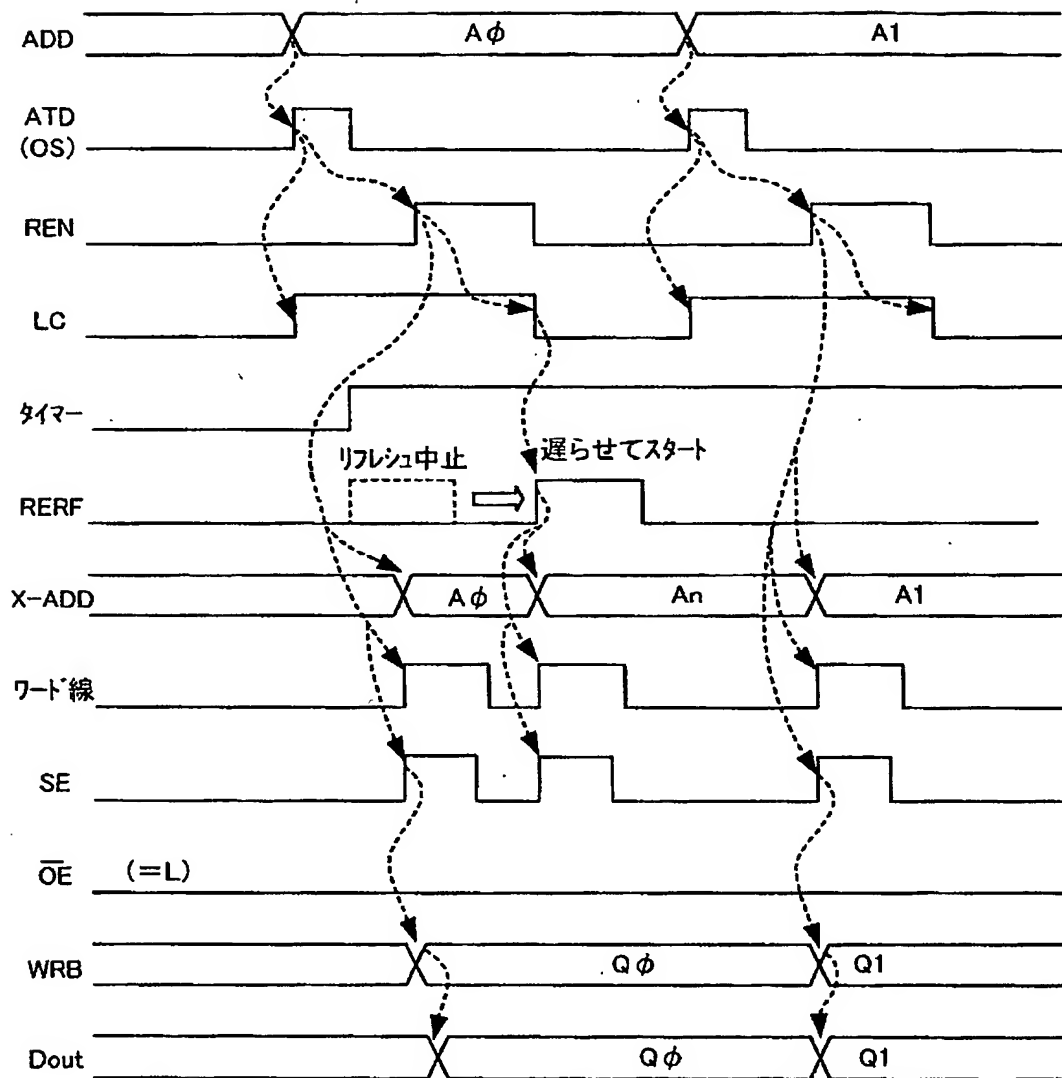
【図 2】



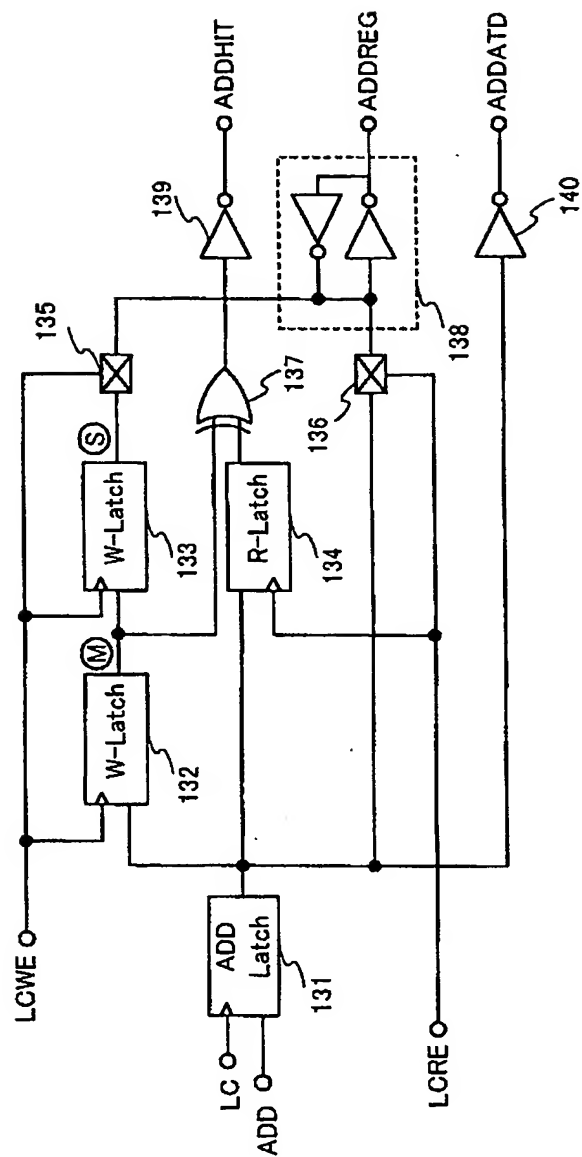
【図3】



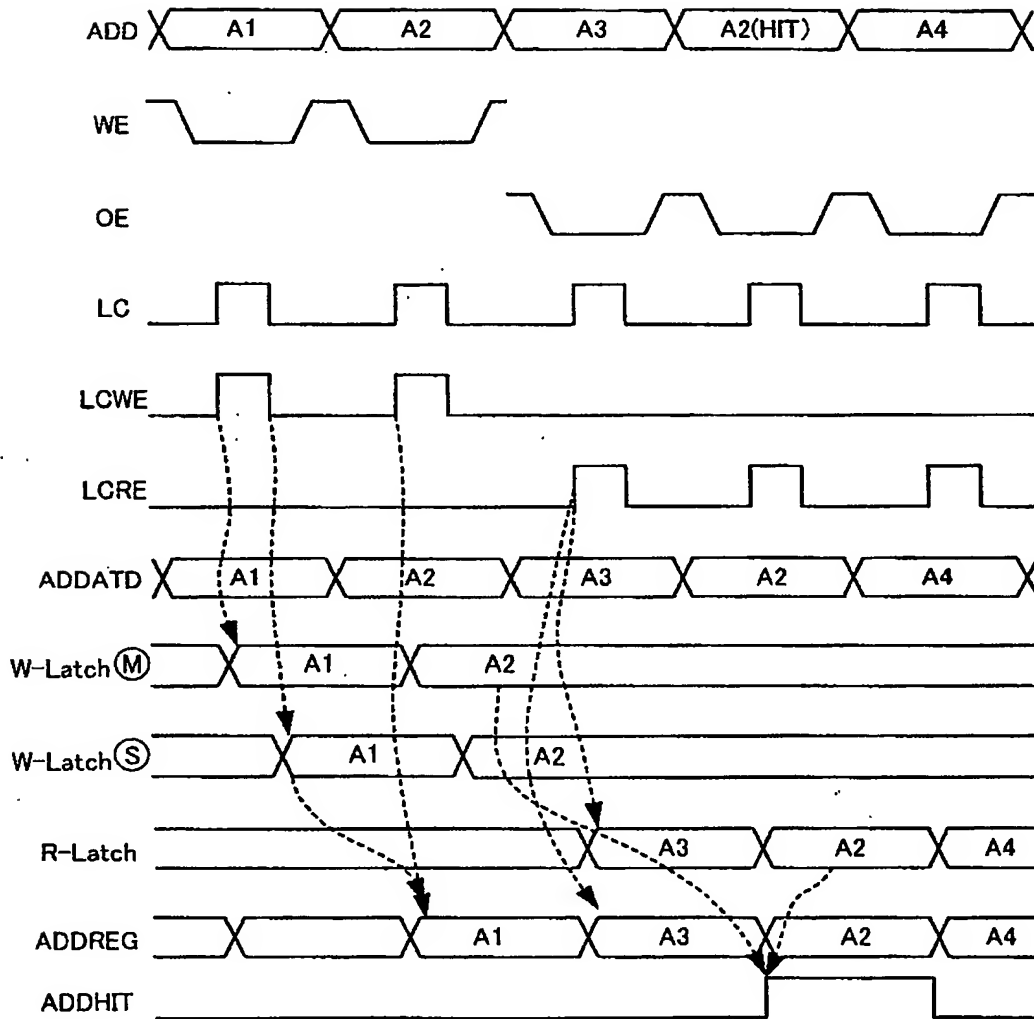
【図4】



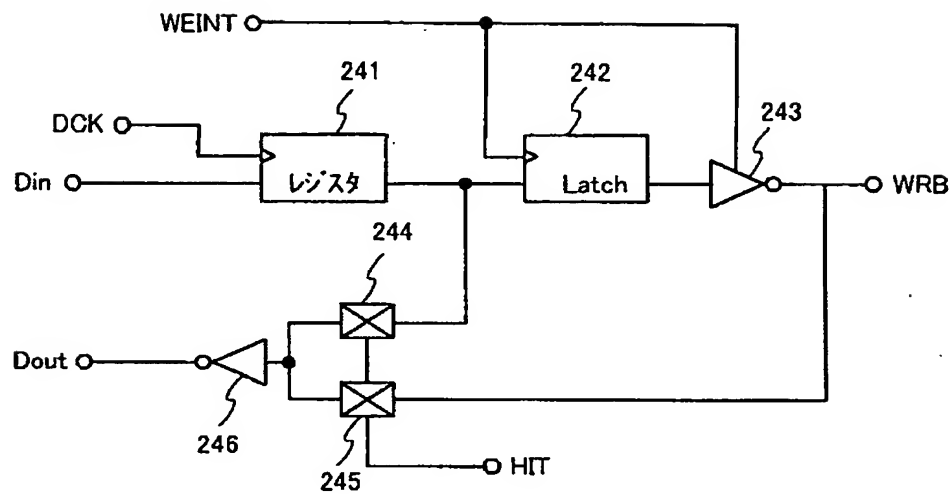
【図5】



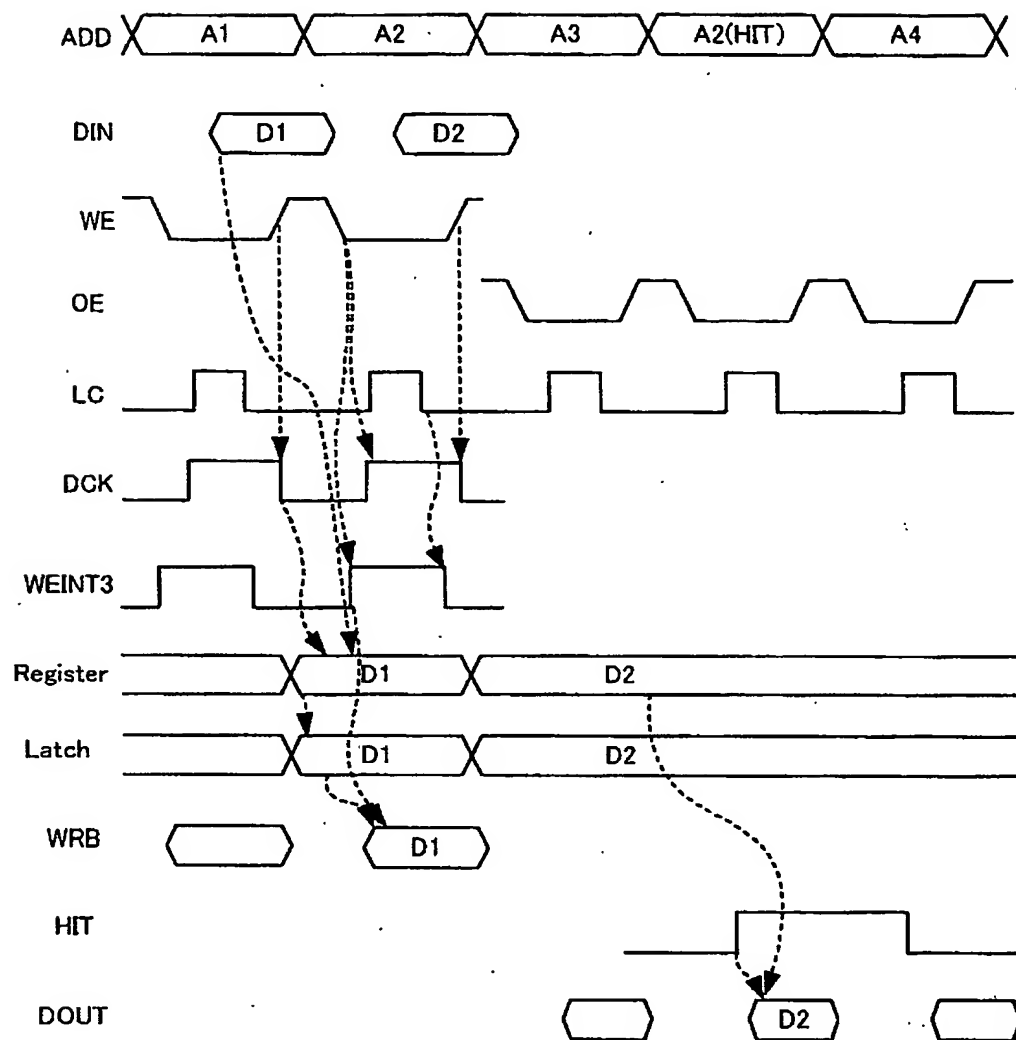
【図 6】



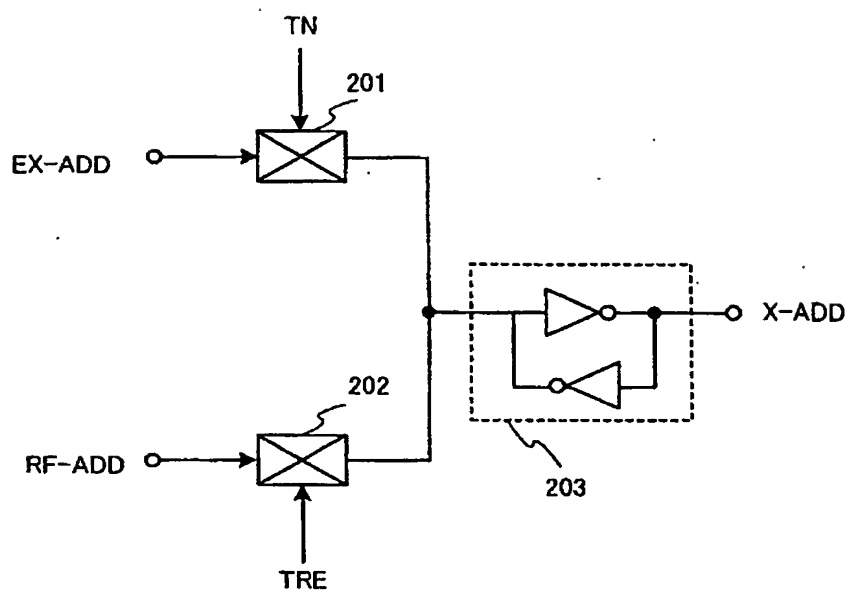
【図 7】



【図 8】

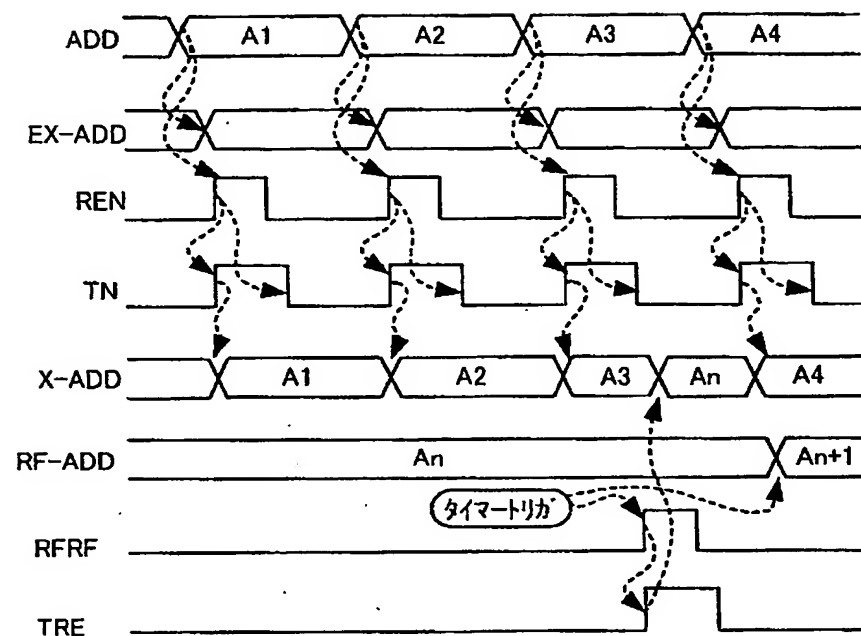


【図9】

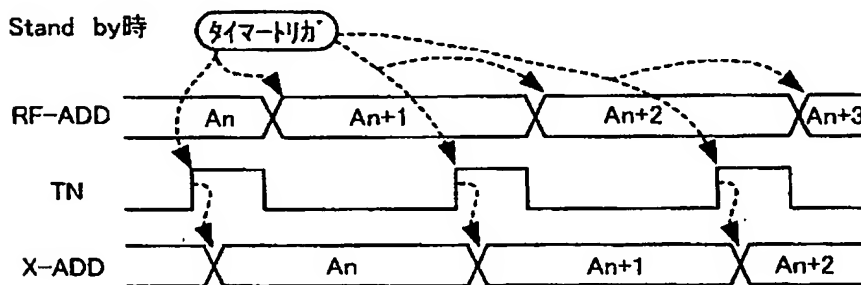


【図10】

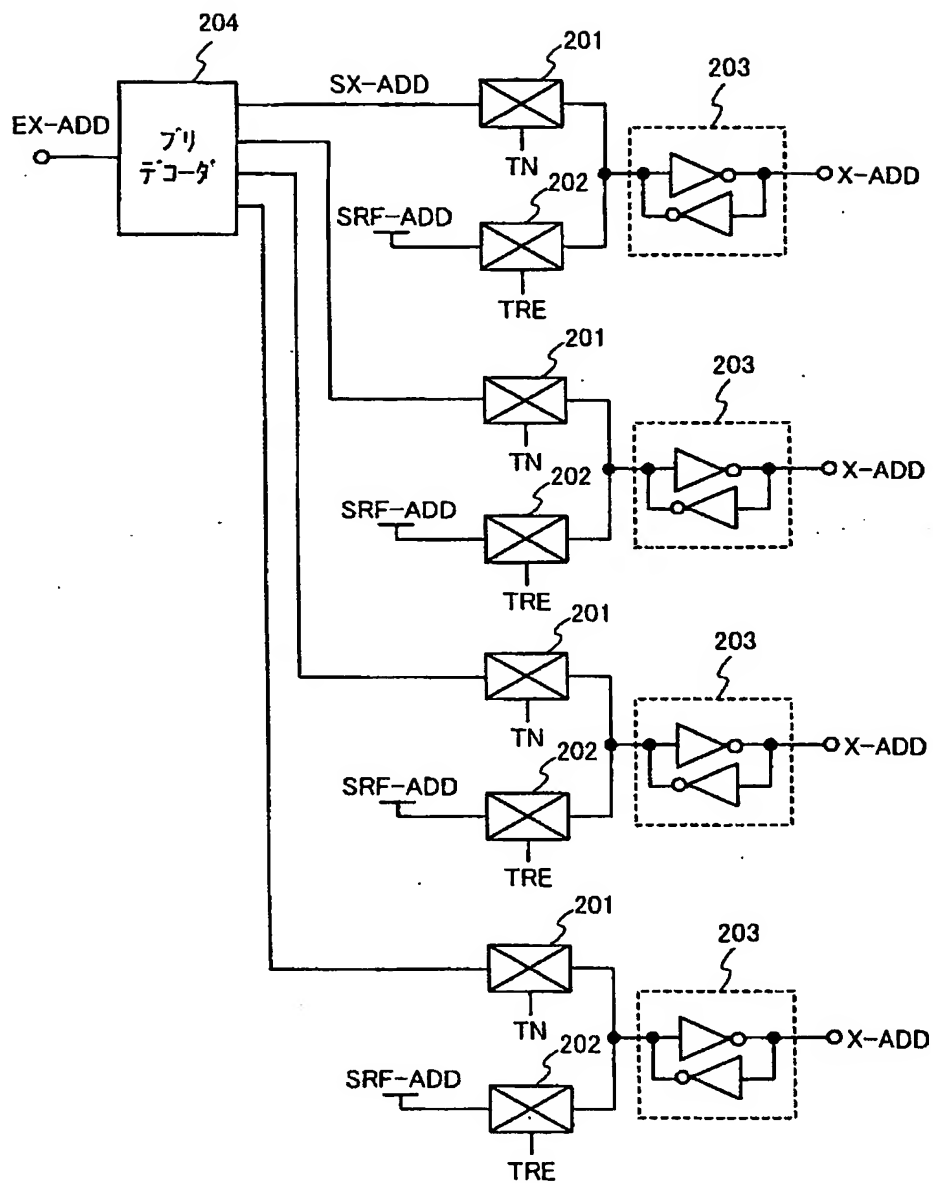
Normal Read/Write時



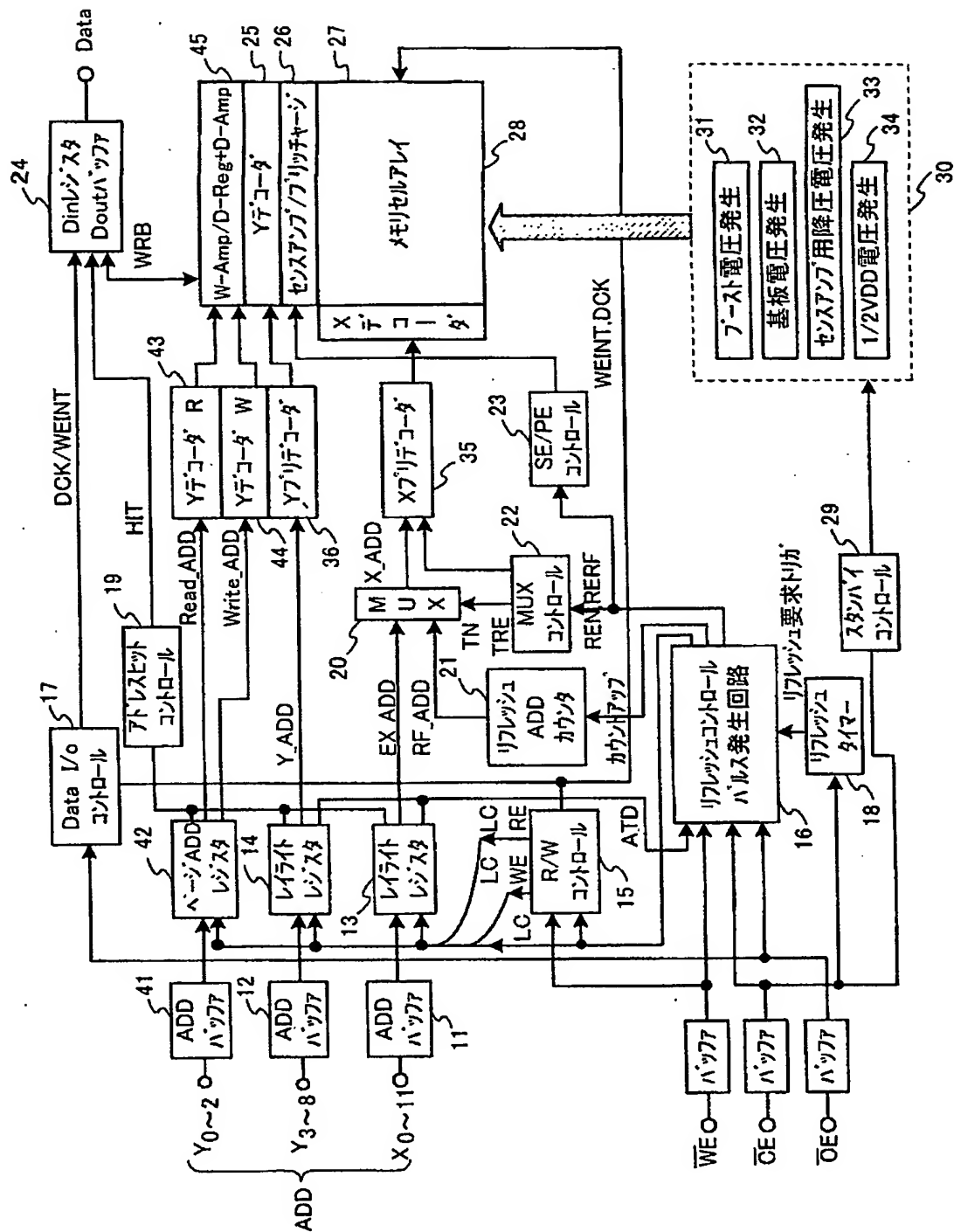
Stand by時



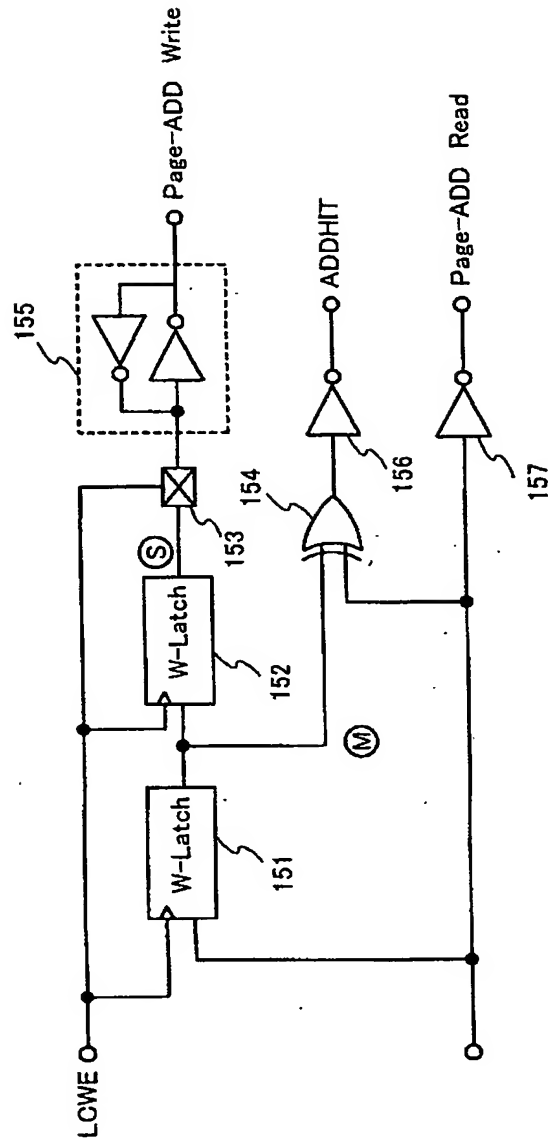
【図11】



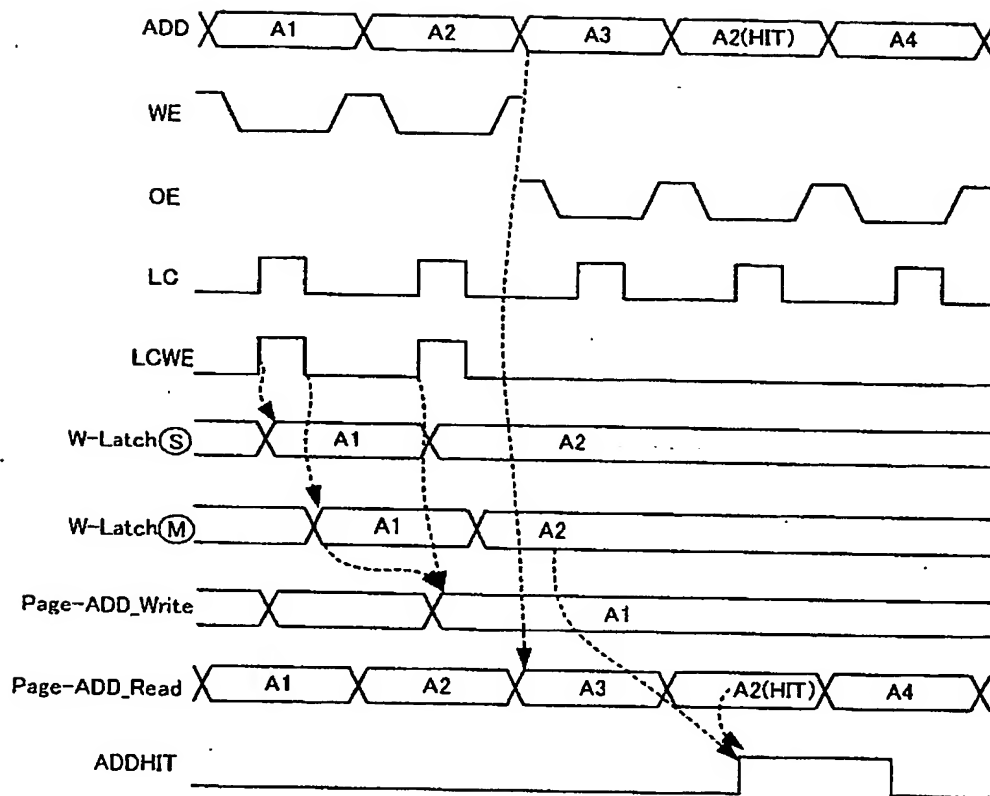
【図 12】



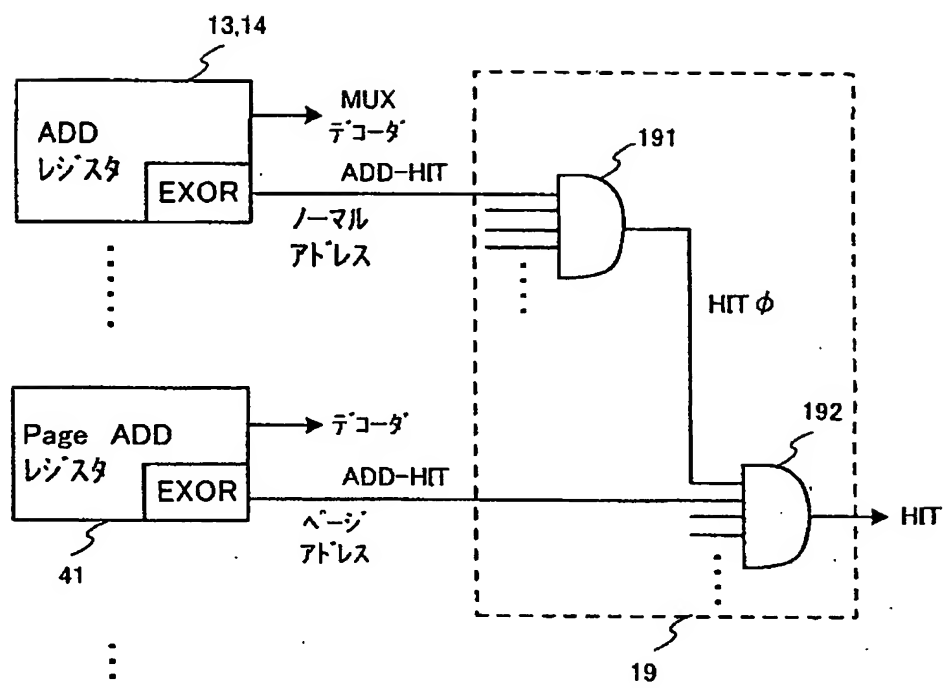
【図 13】



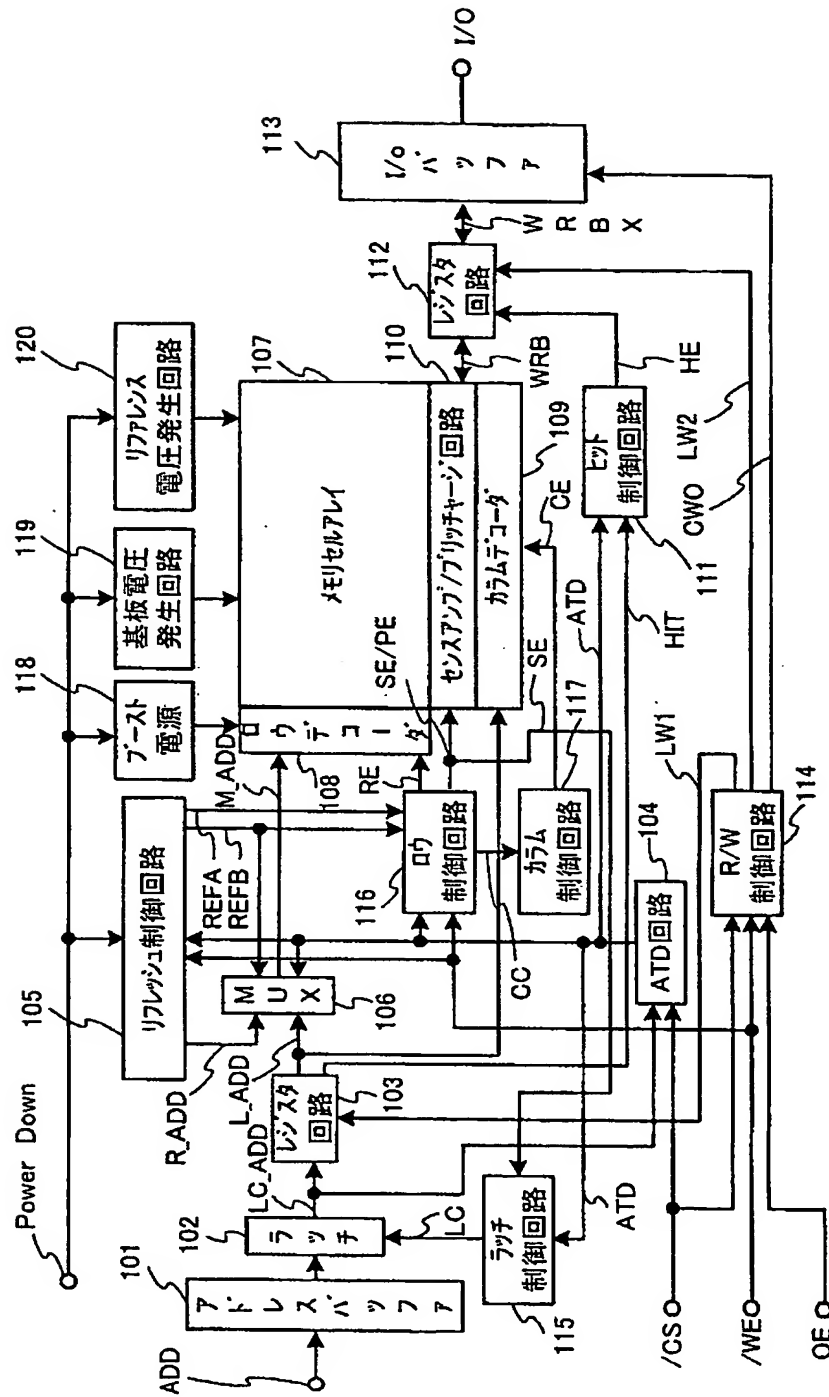
【図 14】



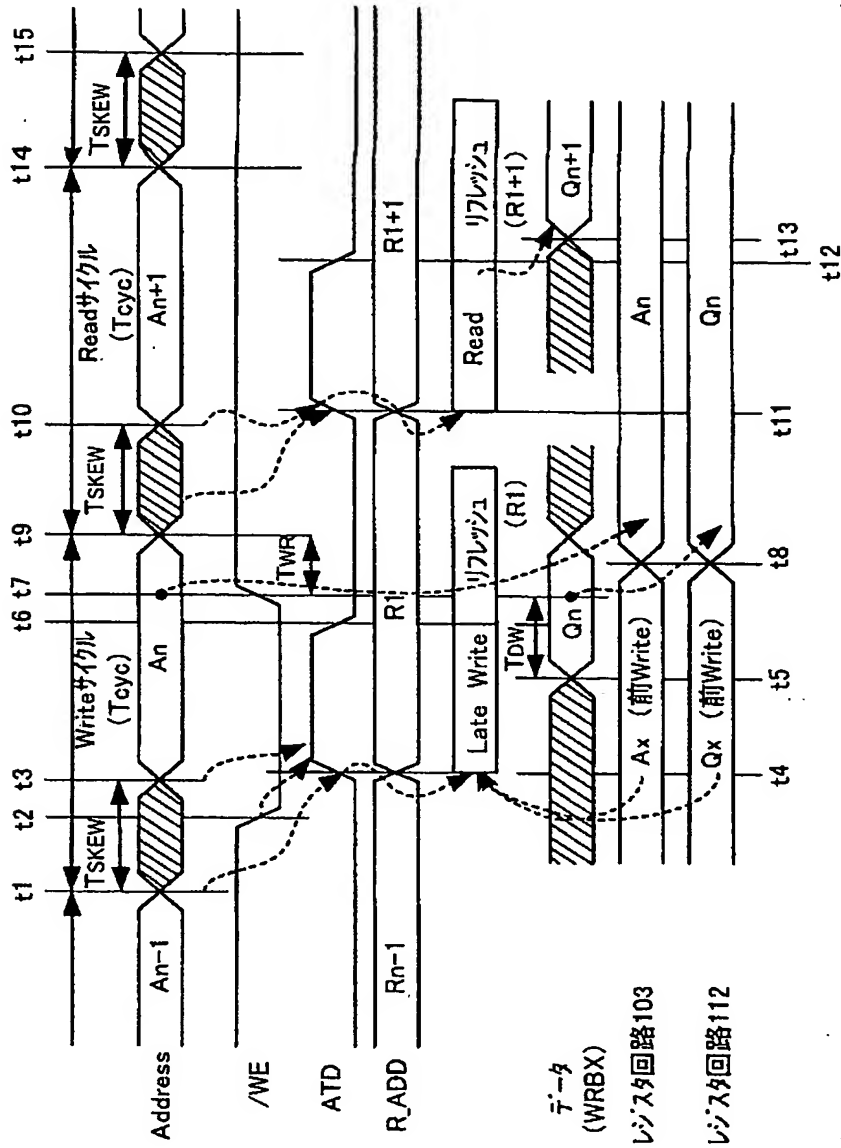
【図 15】



【图 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 メモリセルのリフレッシュをリフレッシュタイマーにより周期的に実行し、かつメモリアクセスとメモリリフレッシュの衝突を回避する。

【解決手段】 メモリアクセスがあるとOS回路161からのワンショットパルスによりF/F163がセットされ、NORゲート167を介してメモリアクセス要求がメモリアクセス用パルス発生回路171に入力され、ラッチコントロール信号LCとイネーブル信号RENが出力される。リフレッシュタイマーからのリフレッシュ要求がANDゲート168に入力されたときメモリアクセス中であるとNORゲート167の出力は“L”レベルでありリフレッシュ要求はANDゲート168で阻止される。その後ラッチコントロール信号LCが“L”レベルとなる時点でF/F163,164,165がリセットされ、NORゲート167の出力が“H”レベルとなり、リフレッシュ要求がリフレッシュ用パルス発生回路170に入力されてリフレッシュイネーブル信号RERFが出力される。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [000232036]

1. 変更年月日 2001年 5月21日
[変更理由] 名称変更
住 所 神奈川県川崎市中原区小杉町1丁目403番53
氏 名 エヌイーシーマイクロシステム株式会社